

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 1)

(11)特許番号

特許第3087849号

(P3087849)

(45)発行日 平成12年9月11日(2000.9.11)

(24)登録日 平成12年7月14日(2000.7.14)

(51)Int.Cl.

識別記号

F I

H 0 1 J 9/02

H 0 1 J 9/02

E

請求項の数35(全102頁)

(21)出願番号	特願平11-149810	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成11年5月28日(1999.5.28)	(72)発明者	久野 光俊 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
審査請求日	平成11年6月24日(1999.6.24)	(72)発明者	小口 高弘 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(31)優先権主張番号	特願平10-162516	(72)発明者	鈴木 朝岳 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(32)優先日	平成10年6月10日(1998.6.10)	(74)代理人	100076428 弁理士 大塚 康徳 (外2名)
(33)優先権主張国	日本 (J P)	審査官	波多江 達
(31)優先権主張番号	特願平11-47119		
(32)優先日	平成11年2月24日(1999.2.24)		
(33)優先権主張国	日本 (J P)		
(31)優先権主張番号	特願平11-47129		
(32)優先日	平成11年2月24日(1999.2.24)		
(33)優先権主張国	日本 (J P)		
(31)優先権主張番号	特願平11-52067		
(32)優先日	平成11年2月28日(1999.2.28)		
(33)優先権主張国	日本 (J P)		

最終頁に続く

(54)【発明の名称】 電子源の製造方法とその製造装置及び画像形成装置の製造方法

1

(57)【特許請求の範囲】

【請求項1】 複数の電子放出素子を有する電子源の製造方法であって、

互いに交叉する方向に概略沿って配置される行配線の複数と列配線の複数とからなるマトリクス配線を用いて、複数の行配線のうちの一部の行配線であって、かつ同時に選択された複数の行配線に接続されている前記電子放出素子の少なくとも一部となるべき複数の導電部材に電圧を印加する工程を有しており、

前記電圧を印加する工程では、

前記複数の導電部材の第1の部分に、前記選択された複数の行配線を介して電位を印加するとともに、前記複数の導電部材の第2の部分に前記複数の列配線のそれぞれを介して電位を印加して、前記選択された複数の行配線のそれぞれと前記複数の列配線のそれぞれを介して印加

2

される電位差による電圧を前記複数の導電部材のそれぞれに印加するものであり、前記選択された複数の行配線に接続される前記複数の導電部材のそれぞれの前記第1の部分における電位の違いによる、前記選択された複数の行配線に接続される前記複数の導電部材のそれぞれに印加される前記電圧の差を緩和するように、前記選択された複数の行配線のそれぞれに流れる電流の平均値に基づいて決定される電位を前記複数の導電部材のそれぞれの前記第2の部分に印加することを特徴とする電子源の製造方法。

【請求項2】 前記電圧を印加する工程は、前記複数の行配線の全てが少なくとも一回は選択されるまで複数回行うことを特徴とする請求項1に記載の電子源の製造方法。

【請求項3】 前記電圧を印加する工程は、前記同時に

10

選択される複数の行配線決定する工程を有することを特徴とする請求項1又は2に記載の電子源の製造方法。

【請求項4】 前記決定する工程においては、選択された時に流れる電流が所定値になる行配線は、選択対象から除外されることを特徴とする請求項3に記載の電子源の製造方法。

【請求項5】 前記同時に選択される複数の行配線は、互いに隣接しない行配線であることを特徴とする請求項1乃至4のいずれか1項に記載の電子源の製造方法。

【請求項6】 前記同時に選択される複数の行配線は、選択された時に流れる電流値が互いに近い行配線であることを特徴とする請求項1乃至5のいずれか1項に記載の電子源の製造方法。

【請求項7】 前記同時に選択される複数の行配線は、選択された時に前記複数の列配線のそれぞれから印加される電位に近い値になる行配線が選択されるように決定されることを特徴とする請求項1乃至6のいずれか1項に記載の電子源の製造方法。

【請求項8】 前記同時に選択される複数の行配線の数を変更して、前記電圧を印加する工程を複数回行うことを特徴とする請求項1乃至7のいずれか1項に記載の電子源の製造方法。

【請求項9】 前記同時に選択される複数の行配線の数は、前記電圧を印加する工程において、前記導電部材に投入される電力に基づいて決定されることを特徴とする請求項1乃至8のいずれか1項に記載の電子源の製造方法。

【請求項10】 前記同時に選択される複数の行配線は、同時に選択された複数の行配線のそれぞれと、前記複数の列配線のそれぞれに接続される複数の前記導電部材それぞれの前記第2の部分に印加される電位の差が所定値以内になるように決定されることを特徴とする請求項1乃至9のいずれか1項に記載の電子源の製造方法。

【請求項11】 前記電圧を印加する工程において、前記複数の列配線のそれぞれに印加される電位は、前記同時に選択された複数の行配線のそれぞれと、前記複数の列配線のそれぞれに接続される複数の前記導電部材それぞれの前記第2の部分に印加される電位の差が所定値以内になるように決定されることを特徴とする請求項1乃至10のいずれか1項に記載の電子源の製造方法。

【請求項12】 前記同時に選択される複数の行配線のそれぞれに流れる電流値を、前記平均値を求めるのに使用する可否かを判別する工程を更に有することを特徴とする請求項1乃至11のいずれか1項に記載の電子源の製造方法。

【請求項13】 前記同時に選択される複数の行配線のそれぞれに流れる電流値の内の最大値と所定値との差に基づいて前記判別を行うことを特徴とする請求項12に記載の電子源の製造方法。

【請求項14】 前記同時に選択される複数の行配線の

それぞれに流れる電流値の内の最小値と所定値との差に基づいて前記判別を行うことを特徴とする請求項12又は13に記載の電子源の製造方法。

【請求項15】 前記電圧を印加する工程において、前記導電部材に印加される前記電圧は、所定値以上の電圧になるように制御されていることを特徴とする請求項1乃至14のいずれか1項に記載の電子源の製造方法。

【請求項16】 前記電圧を印加する工程において、前記導電部材に印加される前記電圧は、所定値以上の電圧になるように、前記複数の列配線のそれぞれを介して印加される電位が制御されていることを特徴とする請求項1乃至15のいずれか1項に記載の電子源の製造方法。

【請求項17】 前記複数の行配線のうち、前記選択の対象としない行配線を判別する工程を有することを特徴とする請求項1乃至16のいずれか1項に記載の電子源の製造方法。

【請求項18】 前記選択の対象としない行配線は、異常が発生した行配線であることを特徴とする請求項17に記載の電子源の製造方法。

【請求項19】 前記選択の対象としない行配線は、流れる電流値が所定の範囲から外れる行配線であることを特徴とする請求項17又は18に記載の電子源の製造方法。

【請求項20】 前記選択の対象としない行配線は、流れる電流値の変化率が所定の範囲から外れる行配線であることを特徴とする請求項17乃至19のいずれか1項に記載の電子源の製造方法。

【請求項21】 前記選択の対象からはずされた行配線に接続される前記電子放出素子の少なくとも一部となるべき導電部材への電圧を印加する電圧印加工程を更に有することを特徴とする請求項17乃至20のいずれか1項に記載の電子源の製造方法。

【請求項22】 前記電圧印加工程においては、前記選択の対象からはずされた行配線を選択して所定の電位を印加し、該所定の電位が印加される行配線に接続される前記導電部材の前記第2の部分に、前記複数の列配線のそれぞれを介して前記所定の電位が与えられる行配線により前記第1の部分に与えられる電位と異なる電位を印加することによって電圧を印加することを特徴とする請求項21に記載の電子源の製造方法。

【請求項23】 前記電圧印加工程においては、前記選択の対象からはずされた行配線を選択して所定の電位を印加し、該所定の電位が印加される行配線に接続される前記導電部材の前記第2の部分に、前記複数の列配線のそれぞれを介して前記所定の電位が与えられる行配線により前記第1の部分に与えられる電位と異なる電位を印加することによって、電圧を印加するものであり、前記複数の導電部材それぞれの前記第2の部分に印加される電位は、前記行配線における前記複数の導電部材それぞれの前記第1の部分が接続される部分毎の電位の違いに

よる前記複数の導電部材それぞれに印加される電圧の差を緩和するように設定されることを特徴とする請求項21又は22に記載の電子源の製造方法。

【請求項24】 前記電圧を印加する工程において前記同時に選択する複数の行配線を決定する工程を更に有しており、該決定する工程は、前記複数の行配線それぞれの配線抵抗を測定して、該抵抗値に基づいて前記同時に選択する行配線を決定するものであることを特徴とする請求項1乃至23のいずれか1項に記載の電子源の製造方法。

【請求項25】 前記導電部材を配置する工程を更に有しており、前記決定する工程は、前記導電部材を配置する前に行うことを特徴とする請求項24に記載の電子源の製造方法。

【請求項26】 前記導電部材に電子放出部となるギャップ部を形成する工程を更に有しており、前記決定する工程は、前記ギャップ部を形成する前に行うことを特徴とする請求項24に記載の電子源の製造方法。

【請求項27】 前記決定する工程は、前記導電部材を形成した後、前記ギャップ部を形成する前に行うことを特徴とする請求項26に記載の電子源の製造方法。

【請求項28】 前記電圧を印加する工程において、前記同時に選択する複数の行配線を決定する工程を有しており、該決定する工程は、前記複数の行配線のそれぞれに接続される引き出し配線での電位降下に基づいて前記同時に選択する複数の行配線を決定することを特徴とする請求項1乃至27のいずれか1項に記載の電子源の製造方法。

【請求項29】 前記電圧を印加する工程において、前記同時に選択する複数の行配線を決定する工程を更に有しており、該決定する工程は、前記各導電部材の位置における雰囲気に基づいて前記同時に選択する複数の行配線を決定することを特徴とする請求項1乃至28のいずれか1項に記載の電子源の製造方法。

【請求項30】 前記決定する工程は、前記各導電部材の位置における雰囲気圧力に基づいて前記同時に選択する複数の行配線を決定することを特徴とする請求項29に記載の電子源の製造方法。

【請求項31】 前記第1の部分に印加される電位の変化に応じて前記第2の部分に印加される電位を変化させることを特徴とする請求項1乃至30のいずれか1項に記載の電子源の製造方法。

【請求項32】 前記第1の部分に印加される電位、もしくは前記第2の部分に印加される電位、もしくは前記第1の部分に印加される電位と前記第2の部分に印加される電位の両方は、パルス状に印加されることを特徴とする請求項1乃至31のいずれか1項に記載の電子源の製造方法。

【請求項33】 ある行配線を選択し、当該選択された行配線に接続される前記導電部材に、前記電圧を時間間

隔を置いて印加することによって、前記電圧を印加する工程を行い、前記時間間隔の間に、他の行配線を選択して、当該他の行配線に接続される前記導電部材に、前記電圧を印加する工程を行うことを特徴とする請求項1乃至32のいずれか1項に記載の電子源の製造方法。

【請求項34】 電子源と、該電子源から照射される電子によって画像を形成する画像形成部材とを有する画像形成装置の製造方法であって、

請求項1乃至33のいずれか1項に記載の電子源の製造方法によって電子源を製造する工程と、

前記電子源と前記画像形成部材とを組み合わせる工程と、

を有することを特徴とする画像形成装置の製造方法。

【請求項35】 複数の電子放出素子を有する電子源の製造装置であって、

互いに交叉する方向に概略沿って配置される行配線の複数と列配線の複数とからなるマトリクス配線を用いて、複数の行配線のうちの一部の行配線であって、かつ同時に選択された複数の行配線に接続される電子放出素子の少なくとも一部となるべき複数の導電部材に電圧を印加する手段を有しており、

前記電圧を印加する手段は、

前記複数の導電部材の第1の部分に、前記選択された複数の行配線を介して電位を印加する第1印加手段と、前記複数の導電部材の第2の部分に前記複数の列配線のそれぞれを介して電位を印加する第2印加手段とを有し、

前記選択された複数の行配線のそれぞれと前記複数の列配線のそれぞれを介して印加される電位差による電圧を前記複数の導電部材のそれぞれに印加し、前記選択された複数の行配線に接続される前記複数の導電部材のそれぞれの前記第1の部分における電位の違いによる、前記選択された複数の行配線に接続される前記複数の導電部材のそれぞれに印加される前記電圧の差を緩和するように、前記選択された複数の行配線のそれぞれに流れる電流の平均値に基づいて決定される電位を前記複数の導電部材のそれぞれの前記第2の部分に印加することを特徴とする電子源の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子を多数個備える電子源の製造方法及装置及び画像形成装置の製造方法に関するものである。

【0002】

【従来技術】従来、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、例えば電界放出型素子（以下FE型と記す）や、金属／絶縁層／金属型放出素子（以下MIM型と記す）や、表面伝導型放出素子などが知られている。

【0003】FE型の例としては、例えば、W. P. Dyke

& W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956)や、或は、C. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)などが知られている。

【0004】また、MIM型の例としては、例えば、C. A. Mead, "Operation of tunnel emission Devices, J. Appl. Phys., 32, 646 (1961)などが知られている。

【0005】また、表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965)や、後述する他の例が知られている。

【0006】表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等によるSnO₂薄膜を用いたものの他に、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]や、In₂O₃/SnO₂薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]や、カーボン薄膜によるもの[荒木久他: 真空, 第26巻, 第1号, 22 (1983)]等が報告されている。

【0007】これらの表面伝導型放出素子の素子構成の典型的な例として、図36に前述のM. Hartwellらによる素子の平面図を示す。同図において、3001は基板で、3004はスパッタで形成された金属化合物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。該導電性薄膜3004に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5~1 [mm]、Wは、0.1 [mm]で設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0008】M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。すなわち、通電フォーミングとは、前記導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局所的に破壊もしくは変形もしくは変質せしめ、電気的に高抵抗な状態の電子放出部3005を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0009】上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本出願人による特開昭64-31332において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0010】また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0011】特に、画像表示装置への応用としては、例えば本出願人によるUSP5,066,883や特開平2-257551において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせて用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせて用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0012】また、背景となる技術として、特開平7-176265号及び特開平8-248920号がある。

【0013】

【発明が解決しようとする課題】本願に関わる発明の課題は、より好適な電子源の製造方法の実現、もしくは画像形成装置の製造方法の実現、もしくは電子源の製造装置の実現である。

【0014】

【課題を解決するための手段】上記課題を解決するために本願発明は次のような構成からなる。すなわち、本願発明に関わる電子源の製造方法は、複数の電子放出素子を有する電子源の製造方法であって、互いに交叉する方向に略略沿って配置される行配線の複数と列配線の複数とからなるマトリクス配線を用いて、複数の行配線のうちの一部の行配線であって、かつ同時に選択された複数の行配線に接続されている前記電子放出素子の少なくとも一部となるべき複数の導電部材に電圧を印加する工程を有しており、前記電圧を印加する工程では、前記複数の導電部材の第1の部分に、前記選択された複数の行配線を介して電位を印加するとともに、前記複数の導電部材の第2の部分に前記複数の列配線のそれぞれを介して電位を印加して、前記選択された複数の行配線のそれぞれと前記複数の列配線のそれぞれを介して印加される電位差による電圧を前記複数の導電部材のそれぞれに印加するものであり、前記選択された複数の行配線に接続される前記複数の導電部材のそれぞれの前記第1の部分における電位の違いによる、前記選択された複数の行配線に接続される前記複数の導電部材のそれぞれに印加される前記電圧の差を緩和するように、前記選択された複数の行配線のそれぞれに流れる電流の平均値に基づいて決

定される電位を前記複数の導電部材のそれぞれの前記第2の部分に印加することを特徴とする電子源の製造方法である。

【0015】

【発明の実施の形態】以下ではより具体的な課題を説明する。

【0016】発明者らは、上記従来技術に記載したものをはじめとして、さまざまな材料、製法、構造の表面伝導型放出素子を試みてきた。さらに、多数の表面伝導型放出素子を配列したマルチ電子源、ならびにこのマルチ電子源を応用した画像表示装置について研究を行ってきた。

【0017】発明者らは、例えば図37に示す電気的な配線方法によるマルチ電子源を試みてきた。すなわち、表面伝導型放出素子を2次元的に多数個配列し、これらの素子を図示のようにマトリクス状に配線したマルチ電子源である。

【0018】図中、4001は表面伝導型放出素子を模式的に示したものの、4002は行方向配線、4003は列方向配線である。行方向配線4002および列方向配線4003は、実際には有限の電気抵抗を有するものであるが、図においては配線抵抗4004および4005として示されている。上述のような配線方法を、単純マトリクス配線と呼ぶ。

【0019】なお、図示の便宜上、6×6のマトリクスで示しているが、マトリクスの規模はむしろこれに限ったわけではなく、例えば画像表示装置用のマルチ電子源の場合には、所望の画像表示を行うのに足りるだけの素子を配列し配線するものである。

【0020】表面伝導型放出素子を単純マトリクス配線したマルチ電子源においては、所望の電子ビームを出力させるため、行方向配線4002および列方向配線4003に適宜の電気信号を印加する。例えば、マトリクスの中の任意の1行の表面伝導型放出素子を駆動するには、選択する行の行方向配線4002には選択電位 V_s を印加し、同時に非選択の行の行方向配線4002には非選択電位 V_{ns} を印加する。これと同期して列方向配線4003に電子ビームを出力するための駆動電位 V_e を印加する。この方法によれば、配線抵抗4004および4005による電位降下を無視すれば、選択する行の表面伝導型放出素子には、 $(V_e - V_s)$ の電圧が印加され、また非選択行の表面伝導型放出素子には $(V_e - V_{ns})$ の電圧が印加される。 V_e 、 V_s 、 V_{ns} を適宜の大きさの電位にすれば選択する行の表面伝導型放出素子だけから所望の強度の電子ビームが出力されるはずであり、また列方向配線の各々に異なる駆動電位 V_e を印加すれば、選択する行の素子の各々から異なる強度の電子ビームが出力されるはずである。また、表面伝導型放出素子の応答速度は高速であるため、駆動電位 V_e を印加する時間の長さを変えれば、電子ビームが出力される時間の長さも

変えることができるはずである。

【0021】従って、表面伝導型放出素子を単純マトリクス配線したマルチ電子源にはいろいろな用途が考えられており、例えば画像情報に応じた電圧信号を適宜印加すれば、画像表示装置用の電子源として応用できるものと期待される。

【0022】一方、発明者らは表面伝導型放出素子の特性を改善するための研究を鋭意行った結果、製造工程において通電活性化処理を行うことが効果的であることを見いだした。

【0023】すでに述べたように、表面伝導型放出素子の電子放出部を形成する際には、導電性薄膜に電流を流して該薄膜を局所的に破壊もしくは変形もしくは変質させて亀裂を形成する処理（通電フォーミング処理）を行う。この後さらに通電活性化処理を行うことにより電子放出特性を大幅に改善することが可能である。

【0024】すなわち、通電活性化処理とは通電フォーミング処理により形成された電子放出部に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物といった堆積物を堆積せしめる処理のことである。例えば、適宜の分圧の有機物が存在し、全圧が10の-4乗乃至10の-5乗[torr]の真空雰囲気中において、電圧パルスを定期的に印加することにより、電子放出部の近傍に単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物を500[オングストローム]以下の膜厚で堆積させる。ただし、この条件はほんの一例であって、表面伝導型放出素子の材質や形状により適宜変更されるべきであるのは言うまでもない。

【0025】このような処理を行うことにより、通電フォーミング直後と比較して、同じ印加電圧における放出電流を典型的には100倍以上増加させることが可能である。（なお、通電活性化終了後には、真空雰囲気中の有機物の分圧を低減させるのが望ましい。）したがって、上述の多数の表面伝導型放出素子を単純マトリクス配線したマルチ電子源を製造する際においても、各素子に通電活性化処理を行うことが望ましい。

【0026】このように、製造工程において通電によるフォーミングにより高抵抗化処理及び通電活性化処理を行う表面伝導型放出素子を画像形成装置に適用する場合には、以下のような問題があった。製造工程における通電活性化処理の問題点について以下に説明する。

【0027】表面伝導型放出素子を応用した各種画像形成パネルに於いては、当然のことながら高品位・高精細な画像が望まれる。これを実現するには、例えば単純マトリクス配線された多数の表面伝導型電子放出素子を用いる。このため、行及び列の数が数百〜数千にも達する非常に多くの素子配列が必要となり、かつ各表面伝導型放出素子の素子特性が均一であることが望まれる。さらに、実際に高品位・高精細な各種画像形成パネルを作製

するためには多数の表面伝導型放出素子を均一に作製する必要がある。

【0028】例えば、多数の表面伝導型放出素子を通電活性化処理により作製する方法として、本出願人は、行列状にマトリクス配線された表面伝導型放出素子を複数のグループに分割し、グループ単位に順次通電活性化用の電圧を印加してゆく方法を行った。即ち、図38に示すようなM行N列の表面伝導型放出素子に対して、例えば1行を単位として1行ずつ順次活性化用電圧を印加した。図中EY1~EYn、EX1~EXnは配線である。

【0029】図39は、例えば2行目の表面伝導型放出素子(図中、黒色で示す)に通電活性化用電圧を印加する場合を示したもので、図示のようにEX2配線には通電活性化用の電位源を接続し、他の電極にはクランドレベルすなわち0(V)を接続した。この方法によれば、原理的には2行目の表面伝導型放出素子だけに通電活性化用電圧が印加され、他の表面伝導型放出素子には電圧が印加されたり電流が回り込むことはない。実際にこの方法で通電活性化を行ったところ、表面伝導型放出素子の電子放出特性の均一性は改善された。

【0030】しかしながら電子放出特性のばらつきを完全になくすことは困難であり、特にマトリクスの片側にそって電子放出特性の異なる素子が分布してしまうという問題があった。具体的には活性化時に給電端から遠かった側、即ち図39においては図中右側の表面伝導型放出素子の放出特性が劣っていた。このような素子を画像形成装置の電子源に用いた場合には画像の片側の輝度あるいは濃度が不足してしまった。

【0031】発明者等はこの問題点の発生原因について鋭意研究し、その発生原因を以下のように究明した。

【0032】上述した図39に示す方法では、原理的には1行の表面伝導型放出素子だけに活性化電圧を印加することができるが、配線EY1~EYn、EX1~EXnの電気抵抗は実際には0でないため、電流が流れると電位降下が発生する。そこで図39において活性化電圧を印加していき2行目の表面伝導型素子群に着目し、その配線抵抗を含めたモデルを図40(a)に示す。

【0033】図40(a)において、F1~FNは表面伝導型放出素子、r1~rNは行配線EX2における素子間の配線抵抗、ryは各配線EY1~EYnの給電端から表面伝導型放出素子までの配線抵抗である。一般に行配線EX2は一定の線幅、厚さ、材料で形成されるように設計されるため、製造上のばらつきを除けばr1~rNは等しいと考えてよい。また各配線EY1~EYnは一般にどれも等しく設計されるため各配線のryは等しいと考えてよい。

【0034】図40(a)に示すモデルを流れる電流の説明を図40(b)により行う。図40(b)において、活性化用電位源から供給される電流をI、各表面伝導型放出素子F1~FNに流れる電流をそれぞれi1~iN

とすると、電流Iは素子Fkを流れる素子電流ikの和、すなわち、

$$I = \sum (k=1 \sim N) i_k$$

なる関係がある。

【0035】また、行方向の各部の配線抵抗r1~rNに流れる電流をそれぞれir1~irNとした時、

$$i_{rp} = I - \sum (k=0 \sim p-1) i_k \quad (\text{但し } i_0 = 0, \text{ pは } 1 \sim N \text{ の整数})$$

なる関係がある。

【0036】即ち、r1を流れる電流ir1は全表面伝導型放出素子に流れる電流の和に等しく、r2を流れる電流ir2は全表面伝導型放出素子に流れる電流の和から表面伝導型放出素子F1に流れる電流i1を差し引いたものと等しい。また、rNを流れる電流irNは表面伝導型放出素子FNに流れる電流iNと一致する。従って、行方向配線に関しては電源に近い側程、大きな電流が流れることがわかる。

【0037】また、通電活性化処理を行う場合、通電開始から時間の経過時間の経過に従って素子電流、電子放出電流の変化が観測されるが、これを図41により説明する。図41は、マトリクス配線された表面伝導型放出素子群の一つの素子に通電活性化処理を行う際の活性化特性を図にしたものである。図に示すように通電活性化処理を行うと表面伝導型放出素子を流れる素子電流(図中If)、電子放出電流(図中Ie)が通電に従って増加し、やがて飽和する。即ち通電活性化処理の進行とともに表面伝導型放出素子を流れる電流は増加し、通電活性化処理の終了時に最も大きな電流が表面伝導型放出素子を流れることになる。

【0038】従って、図40、図41から、1行を単位として1行ずつ順次活性化用電圧を印加した場合、通電活性化の進行に従い、配線抵抗r1~rNで各素子を流れる素子電流Ifに依りて電位降下が発生し、特に通電活性化処理の終了時に最も大きな電位降下が発生することが分かる。この時同じ行上に並んだ表面伝導型放出素子にかかる電圧分布は、図42に示すようになる。図42において、横軸は各表面伝導型放出素子の番号を、縦軸は各表面伝導型放出素子にかかる電圧を示す。なお、縦軸のEacは活性化用電位源の出力電位である。このように1行を単位として通電活性化処理を行うと活性化終了時に各素子に印加される電圧に大きな分布が生じることになる。このため、マトリクスの片側にそって電子放出特性の異なる素子が分布してしまう。特に活性化時に給電端から遠かった素子は十分な活性化電圧が印加されないため、図41に示す理想的な活性化が行われず、表面伝導型放出素子の放出特性が劣っていた。これによりマトリクス配線された素子を画像形成装置の電子源に用いた場合には画像の片側の輝度あるいは濃度が不足してしまう現象が発現してしまった。

【0039】なおこれまで、単純マトリクス配線された

表面伝導型放出素子基板の片側からの通電活性化処理の場合について説明を行ったが、両側からの電極取り出しの場合にも同様の問題が生じる。図43Aに両側からの電極取り出した場合の通電回路の結線図を、図43Bにその時の素子印加電圧分布を示す。図から明らかなように、両側電極からの通電処理の場合は、片側からの通電処理で説明したのと同じ理由で中央部の表面伝導型放出素子の特性が悪くなる現象が発現した。

【0040】以下に述べる実施の形態では、上述した課題を解決するために、表面伝導型放出素子を単純マトリクス配線した電子源が均一な電子放出特性を得られるような製造方法及び装置とそれによって製造された電子源とを説明している。

【0041】ここで、本願に関わる発明の一態様について説明する。

【0042】本願に関わる電子源の製造方法の発明の一態様の一つは、電子放出素子の少なくとも一部となるべき複数の導電部材それぞれの第1の部分に該複数の導電部材が共通に接続される配線を介して電位を印加するとともに、前記複数の導電部材それぞれの第2の部分に電位を印加して、前記複数の導電部材それぞれに電圧を印加する工程を有しており、前記複数の導電部材それぞれの前記第2の部分に印加される電位は、前記複数の導電部材が共通に接続される配線における前記複数の導電部材それぞれの前記第1の部分に接続される部分毎の電位の違いによる前記複数の導電部材それぞれに印加される電圧の差を緩和するように設定されることを特徴とする。

【0043】ここで、導電部材の第1の部分の電位と第2の部分の電位との電位差に相当する電圧が導電部材には印加される。例えば前記配線上の各部分で電位が異なる場合、前記複数の導電部材それぞれの第2の部分の電位を同じにすると、各導電部材の第1の部分と第2の部分の間にかかる電圧が異なってしまう。そこで、上記発明の一態様によると、第2の部分の電位を、該電圧の差を緩和するように設定することにより、各導電部材の第1の部分と第2の部分との間にかかる電圧を近づけることが出来る。

【0044】ここで、第1の部分と第2の部分の間に実質的に電圧を印加するためには、第1の部分と第2の部分とに印加される電位は異なっていればよい。いずれか一方の電位がグランドであってもよい。

【0045】また、上記電圧の印加を受ける、前記電子放出素子の少なくとも一部となるべき導電部材としては、例えば表面伝導型放出素子のフォーミング工程を経た導電部材を好適に用いる。

【0046】また、前記導電部材としては、導電膜を用いることができる。また、前述の電圧を印加する工程を受ける導電部材の形態としては、前記第1の部分と第2の部分に高抵抗部、例えば第1の部分と第2の部分の間

に設けられた間隔（ギャップ）を有する形態が挙げられる。前述の電圧を印加する工程は、特に、前記間隔部もしくはその近傍に堆積物を堆積させる工程に適用することが出来る。上記電圧を印加する工程は、後述する実施の形態の如く、導電部材に流れる電流が大きくなってくると、もしくは導電部材が接続される配線に流れる電流が大きくなっていく工程である場合に好適である。

【0047】また、この電子源がマトリクスを構成する複数の行配線と複数の列配線を有している場合は、一つの行配線にそれぞれの第1の部分が接続される複数の前記導電部材に対して、該行配線に与えられる電位と、各導電部材の第2の部分が接続される各列配線に与えられる電位とによって、前述の電圧印加工程を行えばよい。

【0048】また、前記第1の部分に印加される電位の変化に応じて前記第2の部分に印加される電位を変化させるようにしてもよい。特に前記導電部材の第1の部分と第2の部分の間での抵抗値が、電圧印加にしたがって変化する場合は、前記配線における電位降下の程度も変化する。それに伴い、第1の部分の電位が変化する。それに伴って第2の部分に印加する電位を制御することが望ましい。

【0049】ここで、前記第1の部分に印加される電位は必ずしも実測される必要はない。例えば、導電部材に流れる電流を測定することによって、推定することができる。該測定した電流にしたがって、第2の電位が自動的に設定される回路を用いてもよい。

【0050】また、前記第1の部分に印加される電位、もしくは前記第2の部分に印加される電位、もしくは前記第1の部分に印加される電位と前記第2の部分に印加される電位の両方は、パルス状に印加されるとよい。

【0051】また特に、前記複数の導電部材が共通に接続される配線に印加する電位と、前記第2の部分それぞれに印加する電位とは、それぞれパルス状に印加される物であり、前記複数の導電部材が共通に接続される配線に印加されるパルス状の電位は、前記第2の部分それぞれに印加されるパルス状の電位よりも遅れて印加されるようにすると好適である。

【0052】また、前記導電性部材は、マトリクスを構成する複数の行配線の一つと複数の列配線の一つに接続される物であり、前記電圧を印加する工程は、前記複数の行配線のうちの選択された行配線に印加する電位により前記第1の部分に印加される電位と、前記複数の列配線に印加する電位により前記第2の部分に印加される電位とによって、前記選択された行配線に接続される前記導電部材に電圧を印加する工程であるとよい。

【0053】特に、前記電圧を印加する工程において、前記複数の行配線のうちの選択されていない行配線である非選択行配線には、前記列配線に印加される電位との電位差により前記非選択行配線に流れる電流を抑制する

電位を与えたとよい。

【0054】また、前記非選択行配線に印加される電位、もしくは前記列配線に印加される電位、もしくは前記非選択行配線に印加される電位と前記列配線に印加される電位の両方は、前記非選択行配線の電位が、前記複数の列配線に印加される電位の最大値と最小値の間の電位となるように設定するとよい。例えば、最大値と最小値の中間値程度が好ましい。

【0055】また、前記非選択行配線に印加される電位、もしくは前記列配線に印加される電位、もしくは前記非選択行配線に印加される電位と前記列配線に印加される電位の両方は、前記複数の列配線に印加される電位の最大値と最小値の間にグラウンド電位が存在するように設定されたとよい。

【0056】また、前記選択される行配線を順次切替えて、前記電圧を印加する工程を行うとよく、特に、ある行配線を選択して、該選択された行配線に接続される前記導電部材に、前記電圧を時間間隔を空けて印加することによって、前記電圧を印加する工程を行い、前記時間間隔の間に、他の行配線を選択して、該他の行配線に

接続される前記導電部材に、前記電圧を印加する工程を行うようにすると好適である。

【0057】また本願は、画像形成装置の製造方法として、電子源と、該電子源から照射される電子によって画像を形成する画像形成部材とを有する画像形成装置の製造方法であって、前述の電子源の製造方法によって電子源を製造する工程と、該電子源と前記画像形成部材とを組み合わせる工程とを有することを特徴とする発明の一態様を含んでいる。

【0058】また本願は、電子源の製造装置の発明の一態様として、電子放出素子の少なくとも一部となるべき複数の導電部材それぞれの第1の部分に該複数の導電部材が共通に接続される配線を介して電位を印加する第1の回路と、前記複数の導電部材それぞれの第2の部分に電位を印加する第2の回路とを有しており、前記第2の回路は、前記複数の導電部材それぞれの前記第2の部分に印加される電位を、前記複数の導電部材が共通に接続される配線における前記複数の導電部材それぞれの前記第1の部分に接続される部分毎の電位の違いによる前記複数の導電部材それぞれに印加される電圧の差を緩和するように設定するものであることを特徴とする電子源の製造装置の発明の一態様を含んでいる。

【0059】ここで、前記導電部材に流れる電流をモニタする電流モニタ回路を有すると好適である。

【0060】ここで、前記第2の回路は、前記導電部材に流れる電流に基づいて、前記電位を設定するものであるとよい。

【0061】また、前記第2の回路は、前記第2の部分に電位を印加している時間に応じて、前記第2の部分に印加する電位を制御するものであるとよい。

【0062】また、前記第2の回路は、前記第2の部分に印加する電位を設定するために参照する記憶手段を有するものであってもよい。

【0063】ここで、前記第2の回路は、前記複数の導電部材が共通に接続される配線における前記複数の導電部材それぞれの前記第1の部分に接続される部分毎の電位の違いと同等の電位の違いを生じることができる回路を含む構成を取り得る。そのような構成は、例えば、前記配線と略等しい抵抗を有する等価配線抵抗アレイの各点から、各導電部材に流れる電流をシンクもしくは供給することによって実現することができる。各導電部材に流れる電流としては、前記配線に流れる電流をモニタし、該配線に接続される導電部材の数で該モニタされる電流を割って求めたり、前記第2の部分に接続される各配線に流れる電流をモニタして求めたり、予め測定しておいたデータに従って求めたりすることができる。この構成によって求められた電位分布とオフセット電位とを重ね合わせて前記第2の部分それぞれに印加する電位とすることができる。

【0064】また、前記第1の回路は、前記配線の両側から電位を印加するものであると、電位降下の程度を抑制することができる。

【0065】また、本願は、電子源の製造方法として以下の発明の一態様を含む。以下の発明の一態様は、以上述べた発明の一態様と組み合わせて用いることができる。

【0066】複数の電子放出素子を有する電子源の製造方法であって、互いに交叉する方向に概略沿って配置される行配線の複数の列配線の複数のとからなるマトリックス配線を用いて、前記複数の行配線のうちの一部分かつ複数の同時に選択された行配線に接続されている前記電子放出素子の少なくとも一部となるべき複数の導電部材に電圧を印加する工程、を有しており、該電圧を印加する工程は、前記複数の導電部材の第1の部分に、前記選択された行配線を介して電位を印加するとともに、前記複数の導電部材の第2の部分に前記複数の列配線を介して電位を印加して、行配線と列配線を介して印加される電位差による電圧を印加するものであり、前記複数の導電部材それぞれの前記第2の部分に印加される電位は、前記行配線における前記複数の導電部材それぞれの前記第1の部分に接続される部分毎の電位の違いによる前記複数の導電部材それぞれに印加される電圧の差を緩和するように設定されることを特徴とする電子源の製造方法。

【0067】ここで、前記電圧を印加する工程は、前記複数の行配線全てが少なくとも一回は前記選択された行配線となる状態を経験するまで複数回行うとよい。

【0068】また、前記電圧を印加する工程において前記同時に選択される行配線を決定する工程を有するとよい。

【0069】また、前記決定する工程においては、選択

された時に流れる電流が所定値になる行配線は、選択対象から除外される様にする」とよい。

【0070】また、前記同時に選択される行配線は、互いに隣接しない行配線である」とよい。

【0071】また、前記同時に選択される行配線は、選択された時に流れる電流値が略等しい行配線である」とよい。

【0072】また、前記同時に選択される行配線は、選択された時に前記列配線から印加する補償電位が略等しい行配線である」とよい。

【0073】また、前記同時に選択される行配線の数を変更して、前記電圧を印加する工程を複数回行うようにしてもよい。

【0074】また、前記同時に選択される行配線の数、前記電圧を印加する工程において電子源に投入される電力に基づいて決定されるようにしてもよい。

【0075】また、前記同時に選択される行配線は、同時に選択された複数の行配線のそれぞれと共通の列配線とに接続される複数の前記導電部材それぞれの前記第2の部分に印加される電位の差が所定値以内になるように決定されるようにしてもよい。

【0076】また、前記電圧を印加する工程において前記列配線に印加される電位は、同時に選択された複数の行配線のそれぞれと共通の列配線とに接続される複数の前記導電部材それぞれの前記第2の部分に印加される電位の差が所定値以内になるように決定されるようにしてもよい。

【0077】また、前記列配線を介して印加される電位は、前記選択される行配線に流れる電流値に基づいて決定されるようにしてもよい。

【0078】また、前記列配線を介して印加される電位は、前記同時に選択される行配線それぞれに流れる電流の平均値に基づいて決定されるようにしてもよい。

【0079】また、前記同時に選択される行配線それぞれに流れる電流値を、前記平均値を求めるのに使用するか否かを判別する工程を有するにてもよい。

【0080】また、前記同時に選択される行配線それぞれに流れる電流値のうちの最大値と所定の値との差に基づいて前記判別を行うようにしたり、前記同時に選択される行配線それぞれに流れる電流値のうちの最小値と所定の値との差に基づいて前記判別を行うようにしてもよい。

【0081】また、前記電圧を印加する工程において、前記導電部材に印加される前記電圧は、所定値以上の電圧になるように制御されている」とよい。

【0082】また、前記電圧を印加する工程において、前記導電部材に印加される前記電圧が、所定値以上の電圧になるように、前記列配線を介して印加される電位が制御されている」とよい。

【0083】また、前記複数の行配線のうち、前記選択

の対象としない行配線を判別する工程を有するにてもよい。

【0084】また、前記選択の対象としない行配線は、異常が発生した行配線であつたりする。

【0085】また、前記選択の対象としない行配線は、流れる電流値が所定の範囲から外れる行配線であつたりする。

【0086】また、前記選択の対象としない行配線は、流れる電流値の変化率が所定の範囲から外れる行配線であつたりする。

【0087】また、前記選択の対象から外された行配線に接続される前記電子放出素子の少なくとも一部となるべき導電部材へ電圧を印加する更なる電圧印加工程を有する」とよい。

【0088】また、前記更なる電圧印加工程においては、前記選択の対象から外された行配線を選択して所定の電位を印加し、該所定の電位が印加される行配線に接続される前記導電部材の前記第2の部分に、前記複数の列配線を介して前記所定の電位が与えられる行配線により前記第1の部分に与えられる電位と異なる電位を印加することによって、電圧を印加する」とよい。

【0089】また、前記更なる電圧印加工程においては、前記選択の対象から外された行配線を選択して所定の電位を印加し、該所定の電位が印加される行配線に接続される前記導電部材の前記第2の部分に、前記複数の列配線を介して前記所定の電位が与えられる行配線により前記第1の部分に与えられる電位と異なる電位を印加することによって、電圧を印加するものであり、前記複数の導電部材それぞれの前記第2の部分に印加される電位は、前記行配線における前記複数の導電部材それぞれの前記第1の部分が接続される部分毎の電位の違いによる前記複数の導電部材それぞれに印加される電圧の差を緩和するように設定され」とよい。

【0090】また、前記電圧を印加する工程において前記同時に選択する行配線を決定する工程を有しており、該決定する工程は、前記複数の行配線それぞれの配線抵抗を測定して、該抵抗値に基づいて前記同時に選択する行配線を決定するものである」とよい。

【0091】また、前記導電部材を配置する工程を有しており、前記決定する工程は、前記導電部材を配置する前に行うようにしてもよい。

【0092】また、前記導電部材に電子放出部となるギャップ部を形成する工程を有しており、前記決定する工程は、前記ギャップ部を形成する前に行うようにしてもよく、また、前記決定する工程は、前記導電部材を形成した後、前記ギャップ部を形成する前に行うようにしてもよい。

【0093】また、前記電圧を印加する工程において前記同時に選択する行配線を決定する工程を有しており、該決定する工程は、前記電子源の構造に基づいて前記同

時に選択する行配線を決定するとよい。

【0094】また、前記電圧を印加する工程において前記同時に選択する行配線を決定する工程を有しており、該決定する工程は、前記複数の行配線それぞれに接続される引き出し配線での電位降下に基づいて前記同時に選択する行配線を決定するものであるとよく、特に、電位降下の状態の近い行配線を同時に選択するようにするとよい。

【0095】また、前記電圧を印加する工程において前記同時に選択する行配線を決定する工程を有しており、該決定する工程は、前記各導電部材の位置における雰囲気に基づいて前記同時に選択する行配線を決定するとよく、特に、接続される導電部材の位置における雰囲気

の分布が近い行配線が同時に選択されるようにするとよい。

【0096】また、前記決定する工程は、前記各導電部材の位置における雰囲気圧力に基づいて前記同時に選択する行配線を決定するとよく、特に、接続される導電部材の位置における雰囲気分圧が近い行配線が同時に選択されるようにするとよい。既に述べたように、この発明の一態様は、電子放出部への堆積物の堆積工程に好適に用いることが出来、該堆積物の材料となる物質の分圧に基づいて決定すると好適である。

【0097】また本願は、電子源の製造装置として以下の発明の一態様を含んでいる。

【0098】複数の電子放出素子を有する電子源の製造装置であって、互いに交叉する方向に略略沿って配置される行配線の複数の列配線の複数のとからなるマトリクス配線を用いて、前記複数の行配線のうちの一部分かつ複数の同時に選択された行配線に接続されている前記電子放出素子の少なくとも一部となるべき複数の導電部材に電圧を印加する装置を有しており、該電圧を印加する装置は、前記複数の導電部材の第1の部分に、前記選択された行配線を介して電位を印加する手段；前記複数の導電部材の第2の部分に前記複数の列配線を介して電位を印加する手段；ここで、前記複数の導電部材それぞれの前記第2の部分に印加される電位は、前記行配線における前記複数の導電部材それぞれの前記第1の部分が接続される部分毎の電位の違いによる前記複数の導電部材それぞれに印加される電圧の差を緩和するように設定されることを特徴とする電子源の製造装置。

【0099】以下ではより具体的な例を挙げて説明する。

【0100】〔参考例1〕

図1により本発明の参考例1である表面伝導型放出素子の通電活性化装置について説明する。その前に、まず本発明の実施の形態が適用される表示パネルの構成と製造法について、具体的な例を示して説明する。

【0101】（表示パネルの構成と製造法）

図22は、図1に示した本実施の形態に用いる表示パネ

ル101の斜視図であり、内部構造を示すためにパネルの1部を切り欠いて示している。

【0102】図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、400～500℃で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。

【0103】リアプレート1005には、基板1001が固定されているが、該基板には冷陰極素子1002が $n \times m$ 個形成されている（ n 、 m は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $n=3000$ 、 $m=1000$ 以上の数を設定することが望ましい。本実施の形態においては、 $n=3072$ 、 $m=1024$ とした）。これら $n \times m$ 個の冷陰極素子は、 m 本の行方向配線1003と n 本の列方向配線1004により単純マトリクス配線されている。前記1001～1004によって構成される部分をマルチ電子源と呼ぶ。なお、マルチ電子源の製造方法や構造については、後で詳しく述べる。

【0104】本実施の形態においては、気密容器のリアプレート1005にマルチ電子源の基板1001を固定する構成としたが、マルチ電子源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1001自体を用いてもよい。

【0105】また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施の形態はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図23(a)に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けられている。黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、電子ビームによる蛍光膜のチャージアップを防止するためなどである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に達するものであればこれ以外の材料を用いてもよい。

【0106】また、3原色の蛍光体の塗り分け方は前記図23(a)に示したストライプ状の配列に限られるものではなく、例えば図23(b)に示すようなデルタ状配列や、それ以外の配列であってもよい。

21

【0107】尚、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1008に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0108】また、蛍光膜1008のリアプレート側の面には、CRTの分野では公知のメタルバック1009を設けてある。メタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させるためや、負イオンの衝突から蛍光膜1008を保護する事や、電子ビーム加速電圧を印加するための電極として作用させるためや、蛍光膜1008を励起した電子の導電路として作用させるためなどである。メタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜表面を平滑化処理し、その上にAlを真空蒸着する方法により形成した。なお、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

【0109】また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、例えばITOを材料とする透明電極を設けてもよい。

【0110】また、Dx1~DxmおよびDy1~DymおよびHvは、当該表示パネルと不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。Dx1~Dxmはマルチ電子源の行方向配線1003と、Dy1~Dymはマルチ電子源の列方向配線1004と、Hvはフェースプレートのメタルバック1009と電気的に接続している。

【0111】また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を 10^{-7} 乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜(不図示)を形成する。ゲッター膜とは、例えばBaを主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は 1×10^{-5} 乃至 1×10^{-7} 乗[torr]の真空度に維持される。

【0112】以上、本実施の形態の表示パネルの基本構成と製法を説明した。

【0113】次に、前記実施の形態の表示パネルに用いたマルチ電子源の製造方法について説明する。本発明の画像表示装置に用いるマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。したがって、例えば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

【0114】ただし、表示画面が大きくてしかも安価な

22

表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも、表面伝導型放出素子が特に好ましい。すなわち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術が必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。また、MIM型では、絶縁層と上電極の膜厚を薄くてしかも均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。その点、表面伝導型放出素子は、比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。また、発明者らは、表面伝導型放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見いだしている。したがって、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上記実施の形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

【0115】(表面伝導型放出素子の好適な素子構成と製法)

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0116】(平面型の表面伝導型放出素子)

まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図24(a)、(b)は、平面型の表面伝導型放出素子の構成を説明するためのそれぞれ平面図及び断面図である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0117】基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に例えばSiO₂を材料とする絶縁層を積層した基板、などを用いることができる。

【0118】また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Cu、Pd、Ag等をはじめとする金属、或はこれらの金属の合金、或はIn₂O₃-SnO₂をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチング

などのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば印刷技術）を用いて形成しても差し支えない。

【0119】素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔Lは通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、なかでも表示装置に適用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数百マイクロメータの範囲から適当な数値が選ばれる。

【0120】また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観察される。

【0121】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極1102あるいは1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

【0122】また、微粒子膜を形成するのに用いられる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃, などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボンなどがあげられ、これらの中から適宜選択される。

【0123】以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[Ω/□]の範囲に含まれるよう設定した。

【0124】なお、導電性薄膜1104と素子電極1102および1103とは、電気的に良好に接続されるの

が望ましいため、互いの一部が重なり合うような構造をとっている。その重なり方は、図24(a), (b)の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0125】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図24(a), (b)においては模式的に示した。また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0126】薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下とするが、300[オングストローム]以下とするのが更に好ましい。

【0127】なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図24(a), (b)においては模式的に示した。また、平面図24(a)においては、薄膜1113の一部を除去した素子を図示した。

【0128】以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。即ち、基板1101には基板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000[オングストローム]、電極間隔Lは2[マイクロメータ]とした。

【0129】微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100[オングストローム]、幅Wは100[マイクロメータ]とした。

【0130】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図25(a)~(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図24(b)と同一である。

【0131】1) まず、図25(a)に示すように、基板1101上に素子電極1102および1103を形成する。

【0132】これら素子電極を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。（堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成

25

膜技術を用いればよい。)その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターンニングし、(a)に示した一対の素子電極(1102と1103)を形成する。

【0133】2)次に、図25(b)に示すように、導電性薄膜1104を形成する。

【0134】この導電性薄膜を形成するにあたっては、まず図25(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である。(具体的には、本実施の形態では主要元素としてPdを用いた。また、実施の形態では塗布方法としてディッピング法を用いたが、それ以外の例えばスピンナー法やスプレー法を用いてもよい)。また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0135】3)次に、図25(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0136】この通電フォーミング処理とは、導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。ここでは、導電性薄膜1104として微粒子膜を用いている。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(即ち、電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0137】この通電方法をより詳しく説明するために、図26に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値V_{pf}を、順次昇圧した。また、電子放出部1105の形成状況をモニタするためのモニタパルスP_mを適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0138】本実施の形態においては、例えば10の-5乗[torr]程度の真空雰囲気下において、例えばパルス幅T1を1[ミリ秒]、パルス間隔T2を10[ミリ秒]とし、波高値V_{pf}を1パルスごとに0.1[V]

26

ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニタパルスP_mを挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧V_{pm}は0.1[V]に設定した。そして、素子電極1102と1103の間の電気抵抗が1×10の6乗[Ω]になった段階、即ち、モニタパルス印加時に電流計1111で計測される電流が1×10の-7乗[A]以下になった段階で、フォーミング処理に係わる通電を終了した。

10 【0139】なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0140】4)次に、図25(d)に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

20 【0141】この通電活性化処理とは、前記電子放出部、特に前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。図においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した。なお、通電活性化処理を行うことにより、行いう前と比較して、同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

30 【0142】具体的には、10の-4乗乃至10の-5乗[torr]の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下、より好ましくは300[オングストローム]以下である。

40 【0143】この通電方法をより詳しく説明するために、図27(a)に、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧V_{ac}は14[V]、パルス幅T3は1[ミリ秒]、パルス間隔T4は10[ミリ秒]とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

50 【0144】図25(d)に示す1114は該表面伝導型放出素子から放出される放出電流I_eを捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている(なお、基板1101を、

表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる。活性化用電源1112から電圧を印加する間、電流計1116で放出電流 I_e を計測して通電活性化処理の進行状況をモニタし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流 I_e の一例を図27(b)に示すが、活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

【0145】なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0146】以上のようにして、図25(e)に示す平面型の表面伝導型放出素子を製造した。

【0147】(垂直型の表面伝導型放出素子)

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

【0148】図28は、垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜である。

【0149】垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。従って、前記図24(a)の平面型における素子電極間隔 L は、垂直型においては段差形成部材1206の段差高さ L_s として設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えば SiO_2 のような電気的に絶縁性の材料を用いる。

【0150】次に、垂直型の表面伝導型放出素子の製法について説明する。図29(a)～(d)は、製造工程を説明するための断面図で、各部材の表記は前記図28と同一である。

【0151】1) まず、図29(a)に示すように、基板1201上に素子電極1203を形成する。

【0152】2) 次に、図29(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えば SiO_2 をスパッタ法で積層すればよいが、

例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0153】3) 次に、図29(c)に示すように、絶縁層の上に素子電極1202を形成する。

【0154】4) 次に、図29(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

【0155】5) 次に、図29(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

【0156】6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。

(図25(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

【0157】7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図25(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0158】以上のようにして、図29(f)に示す垂直型の表面伝導型放出素子を製造した。

【0159】(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0160】図30に、表示装置に用いた素子の、(放出電流 I_e)対(素子印加電圧 V_f)特性、および(素子電流 I_f)対(素子印加電圧 V_f)特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0161】表示装置に用いた素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【0162】第一に、ある電圧(これを閾値電圧 V_{th} と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。即ち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【0163】第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【0164】第三に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0165】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0166】また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、階調表示を行うことが可能である。

【0167】(多数素子を単純マトリクス配線したマルチ電子源の構造)

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0168】図31に示すのは、図22の表示パネルに用いたマルチ電子源の平面図である。基板上には、図24(a)、(b)で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0169】図31のA-A'に沿った断面を、図32に示す。

【0170】なお、このような構造のマルチ電子源は、予め基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層(不図示)、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0171】<通電活性化装置の構成>

以上、表示パネルの構造と製造法を説明した。次に、この説明でも言及した、表面伝導型放出素子の通電活性化について、図を参照して詳しく説明する。

【0172】図1中、通電活性化される表面伝導型放出素子基板101には複数の表面伝導型放出素子がマトリクス状に配線されており、既にフォーミング処理が完了しているものとする。基板101は不図示の真空排気装置に接続されており、10の-4乗乃至10の-5乗[torr]程度に真空排気されている。さらに行方向配線端子 $Dx1 \sim Dx_m$ 及び列方向配線端子 $Dy1 \sim Dy_n$ を介して外部の電気回路と接続されている。活性化ラインを選択するライン選択回路102は、タイミング発生回路105の指示に従って行方向配線を選択し、その選択した行方向

配線に電源104の選択電位を印加している。電流モニタ回路103は、選択した行方向配線に選択電位を印加した際、選択した行に流れる電流をモニタしている。電流モニタ回路103は、検出用抵抗 R_{mon} と、抵抗の両端に発生する電位差を計測する計測アンプを有しており、これにより電流 I_f を検出し、活性化電流値109として制御回路106に出力する。なお、検出用抵抗 R_{mon} の抵抗値は素子電流 I_f が流れることによる電圧降下により表面伝導型放出素子への印加電圧に影響を受けないように十分小さな値にしている。電源104は制御回路106からの指令値によって、電子源の行方向配線に印加する電位差を発生している。

【0173】バッファアンプ回路107は、タイミング制御信号105からの制御クロックHscan信号に同期したタイミングで、表面伝導型放出素子基板101の列方向配線の端子 $Dy1 \sim Dy_n$ を駆動する。バッファアンプの入力値、即ち端子 $Dy1 \sim Dy_n$ を駆動する電位振幅値は電位分布発生回路108で決定される。

【0174】本参考例1においては通電活性化の進行状況を活性化時に流れる電流量、即ち電流モニタ回路103の出力データである活性化電流109を検出することで把握している。そして、制御回路106は通電活性化開始の指令とともに活性化を開始し、詳細は後述するが、活性化の進行状況に応じて変化する列方向の素子の電圧分布を逐次補正する。即ち、電流モニタ回路103出力を用いて、各素子を流れる素子電流を見積もり、この値を電位分布発生回路108に設定電流値110として設定する。電位分布発生回路108は、設定電流値110に応じて素子の列方向に生じる電位分布を算出し、電位として発生する。算出された電位は、バッファアンプ107を通じて素子の列方向電極に印加される。これにより、各素子において、素子電流と配線抵抗によって生じる電圧分布が補正され、各素子に印加される電圧の差が抑制される。活性化の進行に応じて逐次電位分布発生回路108のデータを更新することで、活性化の終了時まで電圧分布補正が行われる。

【0175】<ライン選択回路>

次に、図2を参照してライン選択回路102を説明する。

【0176】同回路は、内部に m 個のスウィッチング素子($SWx1 \sim SWx_m$)を備えるもので、各スウィッチング素子は、電源104の出力電位もしくは0[V](グランドレベル)のいずれか一方を選択し、表面伝導型放出素子基板101の端子 $Dx1 \sim Dx_m$ と電気的に接続するものである。各スウィッチング素子は、タイミング発生回路105が出力する制御信号Vscanに基づいて動作するものだが、実際には例えばFET、リレーのようなスウィッチング素子を組み合わせる事により容易に構成する事が可能である。図2においては1行目($Sx1$)のラインが選択され、行方向配線 $Dx1$ にのみ電源104の出力電位が

印加され、他のラインはグランドに接続されて電位0[V]が与えられている。

【0177】＜電位分布発生回路＞

図3は電位分布発生回路108の構成を示す回路図である。

【0178】この回路108は、前述したように活性化の進行によって各素子を流れる素子電流と行方向配線抵抗(図40の $r_1 \sim r_n$ に相当)により発生する電圧降下を補正するために、列方向から印加すべき補償電位量を自動算出し、バッファアンプ107へ出力するように動作する。このような動作を行うために、電位分布発生回路108は、等価配線抵抗アレイ301と定電流回路302から成り立っている。

【0179】等価配線抵抗アレイ301は単純マトリクス構成の表面伝導型放出素子基板101のある行配線上の配線抵抗と等価な値を有する抵抗アレイである(図40を参照)。抵抗 $rd_1 \sim rdn$ は行配線の各部の配線抵抗と同じ値 $r_1 \sim r_n$ に設定される。表面伝導型放出素子基板101上に形成される電極の作製法に関しては後述するが、本実施の形態では一定の線幅、厚さ、材料で形成されるように設計するため、製造上のばらつきを除けば $rd_1 \sim rdn$ は等しいと考える。そこで、等価配線抵抗アレイ301は、実際の抵抗値と同じ模擬抵抗をアレイ上に並べることで構成できる。または表面伝導型放出素子基板101の端に1ライン分の配線を余分に形成し、これを取り出すことによって等価配線抵抗アレイ301を構成してもよい。

【0180】定電流回路302は、トランジスタと抵抗Rにより構成され、表面伝導型放出素子基板101の列方向配線端子 $Dy_1 \sim Dyn$ に対応して合計n個で成り立っている。それぞれの定電流回路は、(ベース入力電位 $0.6 + V$)/Rの電流量をシンクするよう動作する。なお、定電流回路302のトランジスタのベースは共通化され、設定電流値303が入力電位として印加される。従って、全ての定電流回路の電流設定値は同じになるように動作する。

【0181】＜活性化処理＞

引き続き、本参考例1の装置を用いて、表面伝導型放出素子基板101を活性化する手順について図1、4、5を参照して説明する。活性化は全ての素子の素子電流が目標値になるように行うが、この時の目標電流値は必要とする電子放出量などから予め求められる。本参考例1においては、最終的に表面伝導型放出素子基板101上の各素子の素子電流が2mAになるように電流モニタ回路103出力をモニタしながら、通電活性化処理を行った。

【0182】以下に活性化のフローについて説明する。

【0183】図1において、制御回路106が活性化開始の指令を受信すると、制御回路106は行単位で通電処理を行うためにタイミング発生回路105及び電源1

04を制御する。

【0184】まず、列方向配線端子 $Dy_1 \sim Dyn$ をグランド電位になる様、設定電流値110を設定し、行方向配線端子 $Dx_1 \sim Dxm$ に順次活性化電位Eacをパルス状に印加する。このパルスは、例えば、パルス幅1ミリ秒、パルス高18Vである。これにより表面伝導型放出素子基板101は行方向単位に順次パルス電位が印加され、活性化がライン単位で開始する。

【0185】本参考例1においては、行方向配線端子 Dx_1 ライン上のn個の素子を活性化する場合について以下説明する。

【0186】活性化電圧を印加している1行目の表面伝導型素子群に着目し、その配線抵抗を含めたモデルで表面伝導型放出素子群401を表し、この素子群を通電活性化の様子を図4で説明する。図4において、 $F_1 \sim F_n$ は行方向配線端子 Dx_1 ライン上の表面伝導型放出素子、 $r_1 \sim r_n$ は行配線 Dx_1 における各部の配線抵抗、 R_y は、各配線 $Dy_1 \sim Dyn$ の給電端から表面伝導型放出素子までの配線抵抗である。ここでは行配線は一定の線幅、厚さ、材料で形成されるように設計するため、製造上のばらつきを除けば $r_1 \sim r_n$ は等しいと考える。また各配線はどれも等しく設計するため各配線の R_y は等しいと考える。なお、通電活性化の前後で表面伝導型放出素子の等価抵抗値は変化(減少)するが、 R_y の値に比べ各素子の等価抵抗は非常に大きく、ここでは R_y はほとんど無視して考える。また、表面伝導型放出素子の等価抵抗値は、 $r_1 \sim r_n$ に比べて大きく設計している。

【0187】表面伝導型放出素子群401を活性化するため、制御回路106はタイミング発生回路105を介してライン選択回路102を制御し、活性化電位Eacを出力する電源104、電流モニタ回路103を行方向配線端子 Dx_1 に接続する。これにより端子 Dx_1 は活性化電位Eacが印加される。

【0188】一方、 Dx_1 ライン上の素子のもう一方の電極端子である $Dy_1 \sim Dyn$ 端子はバッファアンプ107により駆動される。バッファアンプ107は、各素子 $F_1 \sim F_n$ からの活性化電流 $i_1 \sim i_n$ をシンクするように動作するが、その出力電位振幅は電位分布発生回路108によって決定される。

【0189】電位分布回路108は前述したように等価配線抵抗アレイ301と定電流回路302から成り立っている。等価配線抵抗アレイ301の各抵抗値 $rd_1 \sim rdn$ は、行配線 Dx_1 の配線抵抗値 $r_1 \sim r_n$ と等しく設定されている。定電流回路302を構成するn個の定電流源 $C_{11} \sim C_{1n}$ は、表面伝導型放出素子群401の各素子 $F_1 \sim F_n$ に対応し、活性化の進行に伴って素子に流れる素子電流を等価的に置き換えている。

【0190】ここで、通電活性化を行う際、素子の電気特性は図41に示すような変化をする。即ち活性化の開始時は素子電流はほとんど流れず、通電と共に素子電流

が流れ飽和する。この時、行配線Dx1上の素子群の端子電位をモニタすると配線抵抗 $r1 \sim rn$ の影響でGy1～Gyn電位は変化する。この電位変化は活性化の進行と共に大きくなり活性化の最後に最も大きくなる。例えば、活性化電流2mA/1素子、 $r1 \sim rn = 10m\Omega$ 、 $n = 1000$ の場合、給電端から最も遠いFn素子の端子Gynにおいては、

$$\Delta V = (1/2) \times 1000 \times 1001 \times 2mA \times 10m\Omega \approx 10V$$

もの電位の変化が生じることになる。

【0191】そこで、この電位分布と同じ電位分布を電*

$$i_{ave} = i1 = i2 = \dots = in = I/n$$

で現される。

【0193】そこで、この i_{ave} を設定電流値として、電位分布発生回路108に設定すれば、電位分布発生回路108出力By1～Bynには、各素子F1～Fnに流れる電流による端子Gy1～Gynの電位降下分布と同じ分布が生ずる。そこでこの電位量をバッファアンプ107出力Sy1～SynによりDy1～Dyn端子に印加すれば、各素子F1～Fnの端子間に印加される電圧は素子番号、活性化の進行によらずに一定にすることができる。

【0194】図5(a)、(b)は、活性化の開始と終了時に素子F1～Fnの両端に印加される電位分布を示したものである。図5(a)は活性化開始直後の電位分布を示している。横軸は素子番号F1～Fnであり、素子の位置を示している。縦軸は素子両端の端子電位を示している。活性化の開始直後は前述したように各素子を流れる電流は小さい。従って電源104から印加する活性化電位 $E_{ac} = 18V$ が各素子の端子Gy1からGynに印加される。また活性化電流がほとんど流れていないので電位分布発生回路108の設定電流値もほぼ0となり、電位分布発生回路108出力By1～Byn及びバッファ107出力Sy1～Synもほぼ0Vになる。これにより各素子には一定の印加電圧 $\sim 18V$ が印加され、活性化が進行する。

【0195】また図5(b)は活性化終了時の電位分布を示している。活性化の開始終了時は前述したように各素子を流れる電流はほぼ2mAになっている。従って電源104から印加する活性化電位 $E_{ac} = 18V$ が各素子の端子Gy1～Gynに印加される際に配線抵抗による電位降下の影響で低下する。この時、電位分布発生回路108の設定電流値を2mAとすれば電位分布発生回路108出力By1～Byn及びバッファ107出力Sy1～Synの分布はGy1～Gynの分布と同じになる。これにより各素子には一定の印加電圧 $\sim 18V$ が印加されて活性化が行われる。

【0196】即ち、活性化の進行に伴って素子電流が増加すると配線抵抗の影響で素子に印加される電位の分布が常に変化する。このとき、制御回路106は、活性化の進行に応じて、電流モニタ回路103で検出される電*

* 圧分布発生回路108で発生させ、各素子に印加される電圧の差をキャンセルする様にバッファアンプ107出力Sy1～Synにより、Dy1～Dyn端子を駆動する。

【0192】即ち、活性化の進行に伴って各素子F1～Fnに流れる電流による端子Gy1～Gynの電位降下分布を、電位分布発生回路108出力By1～Bynで再現する。各素子F1～Fnの活性化がほぼ一様に進行すると仮定すると各素子を流れる素子電流 $i1 \sim in$ はほぼ等しく、その電流値は電流モニタ回路103で検出される電流量Iを用いて、

$$(1)$$

※電流値から上式(1)に従って素子電流値を得て、その値に相当する電流値を電位分布発生回路108の設定電流値として設定する。こうして、電位分布発生回路108出力By1～Bynを逐次更新することで活性化の開始から終了まで全ての素子が一定の電圧で活性化される。そして各素子の素子電流が2mAに達したところで活性化を終了する。

20 【0197】本参考例1で説明した電位分布発生回路108は、設定電流の更新時に出力By1～Bynの応答が非常に速いため、電源104からのパルス電圧印加毎に分布を更新することも可能である。

【0198】図15は、1ライン毎に活性化を完了させ、ラインを進めていく手順で活性化を行なう場合の、制御回路106による制御手順の一例である。図15は、1ラインについての手順を示している。通常は基板101は複数ラインを有するため、ライン数分繰り返してこの制御手順が行われる。

30 【0199】図15において、まず、電流モニタからの入力値より、平均素子電流 i_{ave} を算出する(ステップS3401)。活性化前の状態では、図5(a)に示したように、素子電流は非常に小さい値であるため、最初のパルスについては、 $i_{ave} = 0$ として始めても良いし、あるいは実験的に求めた初期値を用いても良い。次に、得られた素子電流値に応じて設定電流値110を更新する(ステップS3402)。この状態で活性化電位を選択されたラインに印加する(ステップS3403)。所定の活性化手順を選択ラインについて終えたなら、このラインについては活性化を終了する(ステップS3404-YES)。次のラインがあるなら、ライン切替信号を出力して次のラインを選択する。一方、選択ラインの活性化が終了していないなら、ステップS3401に戻って、ステップS3403で印加した活性化電位に対する活性化電流値を電流モニタ103から読み取り、設定電流値を更新して次のパルスを選択ラインに印加する。これを、活性化が終了するまで繰り返す。

40 【0200】以上の説明においては、行配線Dx1上の素子の活性化の説明を行ったが、他のライン上の素子を活性化する場合も全く同様に運用できる。このようにして全

35

ての表面伝導型放出素子基板101の活性化を終了する。

【0201】また、活性化の際、あるライン上の素子の活性化が完全に終了後、ライン選択回路102を切り替えて他の活性化ラインの活性化を行う方法だけでなく、活性化ラインを順次切り替えながら複数同時進行で通電活性化を行ってもよい。この場合は、ライン毎に活性化進行のばらつきがある可能性があるため、ラインごとの平均素子電流を逐次メモリ等にストアし、ラインを切替え時にメモリにストアされた平均素子電流を用いて電位分布発生回路108出力を高速に更新しながら活性化を行うことで均一な活性化が実現される。図15では、1ラインごとに活性化を完了させているが、ラインを順次切替えながら複数ラインで平行に活性化を進める場合には、ステップS3403とステップS3404との間でライン切換信号を出力する必要がある。

【0202】また表面伝導型放出素子基板101の活性化を速く終了させるため、複数のラインを同時に駆動してもよい。この場合、電流モニタ回路103は複数ライン分の素子電流の総和が検出されるため、電位分布発生回路108に与える設定電流値の見積りに考慮が必要となる。

【0203】また本参考例1においては、電源104出力を正として、端子Dx1から端子Dy1~Dynに電流を流す方向で活性化を行ったが、これとは極性を逆にして端子Dy1~Dynから端子Dx1側に電流を流すように活性化を行ってもよい。この場合は、電位分布も逆になるため、バッファアンプ107を(-1)倍の反転バッファアンプとして、電流をソースするように設定することで全く同様の効果が得られる。

【0204】以上説明したように本参考例1の通電活性化装置によれば、全ての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度または濃度のばらつきが少ない方品位な画像表示装置が実現された。

【0205】[参考例2]

図6により本発明の参考例2に係る表面伝導型放出素子の通電活性化装置について説明する。

【0206】図6において、表面伝導型放出素子601は、行方向配線端子Dx1~Dxmを両側に備える点において図1の基板101と異なっている。図6に示すように両側から引き出された端子Dx1~Dxmは、同じライン同士で接続され、ライン選択回路602に接続されている。ここで、装置全体の動作や活性化の手順等は参考例1と同様なので省略するが、配線端子の取り出し方法が異なることにより、活性化時に素子にかかる電位分布が異なり、これにより駆動方法が参考例1のそれとは若干異なっているので説明する。

【0207】本参考例のような表面伝導型放出素子基板601に通電活性化を行うときの等価回路は図43Aに

36

示すようになる。図43Aにおいて、2ライン目の素子を活性化している時の素子印加電位の分布は、図43Bに示すようになる。つまり両側取り出しの場合は、左右対称のプロファイルになる。

【0208】従って、図6において列方向配線端子Dy1~Dynに印加すべき電位分布量も左右対称で良いことになる。そこで、電位分布回路608は1~(n/2)本の抵抗アレイと定電流源で構成すれば、電位分布を再現できることになる。バッファ607出力の出力インピーダンスを十分小さくすれば、バッファアンプ607を(n/2)個用意して、対称な電位分布になる端子(例えばDy1とDyn、Dy2とDyn-1等)は共通に接続して駆動することで回路を簡略できる。例えば、図4を用いて説明すると、バッファアンプからの第1列目の出力Sy1は端子Dy1とDynに、第2列目の出力Sy2は端子Dy2とDyn-1に、という具合に順次接続し、第j列目の出力Syjは端子DyjとDyn-j+1に接続する。nが奇数であれば、第(n+1)/2列目の出力は端子Dy(n+1)/2だけに接続される。

【0209】図7に参考例2に示す駆動を行った場合の各素子の電位分布を示す。前述したように左右対称の電位分布プロファイルが得られた。また列方向配線端子Dy1~Dyn駆動電位Sy1~Synも活性化の進行と共に変化し、常に各素子に一定の活性化電圧が印加されるように補償を行った。

【0210】以上説明したように、本参考例の装置は、全ての素子の電子放出特性が均一な電子源を製造することができる。

【0211】[参考例3]

図8により本発明の参考例3に係る表面伝導型放出素子の通電活性化装置について説明する。

【0212】図8においては、表面伝導型放出素子801は図1の基板101と同じであり、装置全体の動作や活性化の手順等は参考例1とほぼ同様なので省略する。本参考例においては、電位分布回路808出力をそのまま列方向配線端子Dy1~Dynに印加するのでなく、駆動方法が参考例1のそれと若干異なっているので説明する。

【0213】参考例1と同様に、活性化電圧を印加している1行目の表面伝導型素子群に着目し、その配線抵抗を含めたモデルで表面伝導型放出素子群901を表し、この素子群を通電活性化する様子を図9で説明する。図9において、F1~Fnは行方向配線端子Dx1ライン上の表面伝導型放出素子、r1~rnは行配線Dx1における各部の配線抵抗、Rylは各配線Dy1~Dynの給電端から表面伝導型放出素子までの配線抵抗である。

【0214】表面伝導型放出素子群901を活性化するため、制御回路806はタイミング発生回路105を介してライン選択回路802を制御し、活性化電位Eacを出力する電源804、電流モニタ回路803を行方向

配線端子Dx1に接続する。これにより端子Dx1は活性化電位Eacで駆動される。

【0215】一方、Dx1ライン上の素子のもう一方の列方向端子であるDy1～Dyn端子はバッファアンプ807により駆動される。バッファアンプ807はこの場合、各素子F1～Fnからの活性化電流i1～inをシンクするように動作するが、出力電位振幅は電位分布発生回路808によって決定される。この動作は参考例1と同様である。

【0216】本参考例においても、活性化の進行によって生じる電位分布を、電位分布発生回路108で発生させ、電位分布をキャンセルする様にバッファアンプ807出力Syl～Synにより、Dy1～Dyn端子を駆動した。この時、電位分布回路108出力の電位値By1～Bynをそのまま端子に印加するのでなく、バッファアンプ807で設定オフセット値812を加算して印加している。またこの設定オフセット値812は活性化電位にも加算され電源804振幅として印加される。

【0217】このようにオフセット電位を印加する理由は次のようなものである。即ち、行単位で通電活性化を行う場合、同一行上で列方向に生じる電位降下の分布を列方向配線端子Dy1～Dynからの印加電位により補償するのが本参考例の趣旨であるが、列方向配線端子Dy1～Dynからの印加電位は、表面伝導型放出素子が単純マトリクス構成であるため、通電活性化ラインだけでなく、通電活性化を行っていないラインの素子にも印加される。むろん列方向配線端子Dy1～Dynは最大でも数Vと小さいため、通電活性化を行っていないラインの素子に、この電位が印加されても問題にならない。しかしながら通電活性化を行っていないラインの素子への電位印加による基板の温度変化や温度分布の問題を少しでも軽減する方が望ましい。そこで列方向配線端子Dy1～Dynから印加される電位の絶対値を極力小さくするようにオフセット電圧を加算し駆動を行った。

【0218】この時、印加するオフセット電位値は以下のようにして決定した。電位分布回路808出力で各端子に発生する最大電位と最小電位の差を電位降下量811として算出する。具体的には、図9において、電位分布発生回路808出力By1～Bynの電位降下量は、 $\text{電位降下量811} = \text{By1電位} - \text{Byn電位}$ で算出される。そこで、オフセット電位812 = $1/2 \times \text{電位降下量811}$ で決定し、印加した。これにより列方向配線端子Dy1～Dynから印加される電位の絶対値を参考例1に比べ半分にすることができた。

【0219】図10に本参考例に示す駆動を行った場合の各素子の電位分布を示す。図10(a)は活性化直後の電位分布を表している。この時は参考例1で説明したように素子電流がほとんど流れていないため電圧分布がほとんど無く、オフセット電位値821もほぼ0Vであるため、参考例1の図5(a)とほとんど変わらない。

しかしながら活性化が進行し電位降下が発生するとオフセット電位821が発生するようになり、活性化終了時には図10(b)に示すような電位分布プロファイルが得られる。図に示す様に、各素子の電圧分布の様子は参考例1の図5(b)と同じであるが、列方向配線端子Dy1～Dynに印加される駆動電位Syl～Synにオフセット電位が印加され、駆動電位の絶対値が低下した様子が示されている。またこれに伴って、行方向配線端子Dx1から印加される電位も($1.8V + V_{off}$)に変化している様子も示されている。

【0220】本参考例で用いたオフセット電位加算による電圧印加により、参考例1と同様に、均一な特性の表面伝導型放出素子を得ることができるとともに、表面伝導型放出素子基板を活性化時に投入される投入電力をより低減することができた。なお、オフセット電位の決定方法は上述した方法だけでなく、表面伝導型放出素子基板全体に印加される電力値が最小になるようにしてもよい。

【0221】[参考例4]

図11により本発明の参考例4である表面伝導型放出素子の通電活性化装置について説明する。この図11においても、表面伝導型放出素子1101は図1の基板101と同じであり、装置全体の動作や活性化の手順等は参考例1とほぼ同様なので省略する。

【0222】参考例4においては、電流モニタ回路1103と、電位分布回路808の構成とが若干異なっているので説明する。即ち、列方向配線端子Dy1～Dynとバッファアンプ1107間に電流モニタ回路1103を入れ、活性化時に各素子を流れる素子電流を個別にモニタしている。

【0223】参考例1と同様に、活性化電圧を印加している1行目の表面伝導型素子群に着目し、その配線抵抗を含めたモデルで表面伝導型放出素子群1201を表し、この素子群を通電活性化する様子を図12で説明する。

【0224】本参考例においても、活性化の進行によって生じる電位分布を、電位分布発生回路1108で発生させ、電位分布をキャンセルする様にバッファアンプ1107出力Syl～Synにより、Dy1～Dyn端子を駆動する。このとき電位分布回路1108を構成する定電流回路302の構成をこれまでの参考例と若干変更した。即ち、定電流回路302を構成するn個の定電流源の設定電流値をそれぞれ独立に設定できるように変更した。回路的には、図3の回路において、定電流源を構成するトランジスタのベース電位をそれぞれ独立して設定できるように変更した。これにより図12の電位分布回路1108で示すように、外部からn個の定電流源に対応した設定電流値1110を印加してそれぞれ独立に駆動できるようにした。

【0225】同時に、電流モニタ回路1103を、それ

により各素子を流れる素子電流を個別にモニタできるように変更した。即ち、電流モニタ回路1103は、検出用抵抗 R_{mon} とこの両端に発生する電圧を計測する計測アンプから成り立っており、これにより電流 I_f を検出し、検出した n 個の活性化電流値1109を出力する。なお、検出用抵抗 R_{mon} の抵抗値は、素子電流 I_f が流れることによる電位降下による表面伝導型放出素子への印加電位への影響を抑制するように十分小さな値にしている。

【0226】このように電圧分布回路1108を構成する定電流回路302の構成を、各列の設定電流を個別に設定できるように変更することで、活性化の進行に伴う、端子 $G_{y1} \sim G_{yn}$ の電位降下分布を、より正確に電位分布発生回路108出力 $B_{y1} \sim B_{yn}$ で再現できる。これまでの参考例では各素子 $F1 \sim Fn$ の活性化がほぼ一様に進行すると仮定し、各素子を流れる素子電流 $I1 \sim In$ はほぼ等しいものとして、1ライン分の活性化電流から各素子を流れる電流値を見積もり、電位分布発生回路108の出力制御を行っていた。しかしながら本参考例に示すように、各素子の活性化電流を個別にモニタすることでより正確な電位分布を再現できる。この各素子の活性化電流値を設定電流値として電位分布発生回路1108における各列毎の定電流源 $C11 \sim C1n$ に与え、バッファアンプ1107出力 $Sy1 \sim Syn$ により、通電活性化中のラインにおける電位分布に匹敵した電位を $Dy1 \sim Dyn$ 端子に印加する。即ち、参考例1において、素子電流として平均値 i_{ave} を利用していたが、その代わりに各素子ごとに測定した素子電流を適用する。こうすることで、各素子 $F1 \sim Fn$ の端子間に印加される電圧は、素子の位置や活性化の進行に依らず、一定にすることができた。

【0227】なお、バッファアンプ1107出力が0Vでない場合、電流モニタ回路1103で検出される電流値は、必ずしも各素子を流れる素子電流と一致するわけではない。これについて説明する。図12には図示していないが、前述したように列方向配線端子 $Dy1 \sim Dyn$ からの印加電位は、表面伝導型放出素子が単純マトリクス構成であるため、通電活性化ラインだけでなく、通電活性化を行っていないラインの素子にも印加される。従って電流モニタ回路1103で検出される第 x 列の電流 I_x は、

$I_x = \text{素子 } Fx \text{ に } 1.8 \text{ V 印加時に流れる素子電流} + \text{端子 } Dyx \text{ に接続された通電活性化を行わない素子 (} m-1 \text{ 個) に } Syx \text{ 電位を印加時に流れる電流となる。}$ 上式の第一項が真の素子電流であり、第二項の電流分が誤差として生じることになる。実際に Syx 電位と非選択ラインとの差は小さく、第二項目の電流分は小さいため無視してもよいが、より正確に測定するためには以下のステップで計測を行えばよい。

(1) 全ての行方向配線端子 $Dx1 \sim Dx_m$ を0Vにして列方向配線端子 $Dy1 \sim Dyn$ を $Sy1 \sim Syn$ で駆動する。この

時計測される電流 I_a は、 Dyx に接続された全ての素子に Syx 電位を印加時に流れる電流(m 個)である。

(2) 行方向配線端子の内1本を選択して、列方向配線端子 $Dy1 \sim Dyn$ を $Sy1 \sim Syn$ で駆動する。この時計測される電流 I_b は、“素子 Fx に1.8Vを印加した時に流れる素子電流+ Dyx に接続された通電活性化を行わない素子($m-1$)個に Syx 電位を印加時に流れる電流”である。

【0228】これら2回の測定により、素子 Fx に1.8Vを印加した時に流れる素子電流 $= I_b - I_a$ で算出されるため、この値を用いて電位分布を算出すればより正確な制御が可能になる。

【0229】[参考例5]

図13により本発明の参考例5に係る表面伝導型放出素子の通電活性化装置について説明する。

【0230】図13においても、表面伝導型放出素子1301は図1の基板101と同じであり、装置全体の動作や活性化の手順等は参考例1とほぼ同様なので省略する。また電流モニタ回路1303の構成は参考例4と同じであり、列方向配線端子 $Dy1 \sim Dyn$ とバッファアンプ1307間に電流モニタ回路1303を入れ、活性化時に各素子を流れる素子電流を個別にモニタしている。しかしながら電位分布回路1308の構成が参考例4とは若干異なる。すなわち、素子を流れる活性化電流値から制御回路1306が電位分布量を演算により計算し、その計算結果から得られた電位分布に対応するデジタル出力値を電位分布発生回路に対して転送するように設計されている。

【0231】参考例1と同様に、活性化電圧を印加している1行目の表面伝導型素子群に着目し、その配線抵抗を含めたモデルで表面伝導型放出素子群1401を表し、この素子群を通電活性化する様子を図14で説明する。

【0232】本参考例においても、活性化の進行によって生じる電位分布をキャンセルする様に、バッファアンプ1307出力 $Sy1 \sim Syn$ により $Dy1 \sim Dyn$ 端子を駆動する。ここで、電位分布回路1308を n 個のD/Aコンバータ1402とラッチ回路1403で構成した。これにより、外部から n 個のD/Aコンバータに対応したデジタル設定出力値1310を印加してそれぞれ独立に駆動できるようにした。デジタル設定出力値1310は、制御回路1306により算出された電位降下分布量として設定される。各D/Aコンバータには独立な電位が設定され、ラッチCLK1311により全出力が同期して更新される。

【0233】電流モニタ回路1303は、参考例4と同様に、各素子を流れる素子電流を個別にモニタできる。即ち、電流モニタ回路1303は、検出用抵抗 R_{mon} とこの両端に発生する電圧を計測する計測アンプから成り立っており、これにより電流 I_f を検出し、検出した n

41

個の活性化電流値1309を出力する。

【0234】本参考例において、活性化進行と共に発生する素子電位の分布は以下のようにして計算している。

即ち、電流モニタ回路1303から各素子F1～Fnを流*

$$By1 = -r1 \times \sum \{k=1 \sim n\} rk$$

$$By2 = -r2 \times \sum \{k=2 \sim n\} rk + By1$$

...

$$Byn = -rn \times in + Byn-1 + Byn-2 + \dots + By1$$

として算出される。

【0235】活性化の進行に従って流れる素子電流を測定し、制御回路1306は上式により各出力電位By1～Bynを逐次更新し、それに対応するデジタル出力データを、電位分布回路1308のラッチ回路1403に転送する。素子電流計測→出力データの演算→ラッチ回路へのデータの転送の一連の作業が完了すると、制御回路1306は、D/Aデータの更新を行うためにラッチクロック1311を全てのラッチ回路1310に印加し、同期してデータの更新を行う。これにより電位分布発生回路1308は素子F1～Fnの端子Gy1～Gynに生じる電位分布量と同じ電位分布を発生する。なお素子数nが大きくなった場合、素子電流計測→出力データの演算→データ転送の一連の作業は時間がかかる可能性があるため、各素子毎に並列して処理することで時間の短縮が図れる。

【0236】以上説明したような方法で活性化時に素子に生じる活性化電位分布を補償することで、全ての素子の電子放出特性が均一化された。さらに、本参考例においては、設定出力値がデジタル値であり、定電流回路や等価配線抵抗アレイを用いていないために、通電活性化しようとするラインにおける配線抵抗の分布と、等価配線抵抗アレイにおける抵抗値の分布とが相違しているといった、各ラインの特性により、活性化電圧が不均一になることを防止できる。

【0237】[参考例6]

次に、参考例6である表面伝導型放出素子の通電活性化について、図16を参照して詳しく説明する。

【0238】図16においても、表面伝導型放出素子基板101は図1の基板101と同じであり、装置全体の動作や活性化の手順等は参考例1とはほぼ同様なのでその説明は省略する。しかしながら電位分布回路1608の構成は参考例5におけるそれと同様、制御回路が電位分布に対応するデジタル出力値を電位分布発生回路に対して転送するように設計されている。そのために、制御回路1606から電位分布発生回路1608に対して、ラッチクロック1111が出力される。その他の構成については、参考例1と同様である。

【0239】また、本参考例においては、制御回路1606は、通電活性化の進行状況を活性化時に流れる電流量、即ち電流モニタ回路103の出力データである活性化電流109で把握している。そして、制御回路1606※50

42

*れる素子電流値i1～inが得られる時、電位分布発生回路1308出力端子に出力すべき電位By1～Bynは、配線抵抗値r1～rnを用いて、

※6は通電活性化開始の指令とともに活性化を開始し、詳細は後述するが、活性化の進行状況に応じて変化する列方向の素子の電位分布を逐次補正する。即ち、制御回路1606は、電流モニタ回路103出力を用いて各素子を流れる素子電流を見積もり、この値から、素子の列方向に生じる電位分布を算出する。算出された電位設定値110は、電位分布発生回路1608に転送され、バッファアンプ107を通じて素子の列方向電極に印加される。この駆動法によって、活性化電流と行方向配線抵抗で各素子に生じる電圧分布が補正され、活性化ライン上の全ての素子の両端に一定の電圧が印加される。活性化の進行に応じて逐次電位分布発生回路1608のデータを更新することで、活性化の終了時まで電位分布補正が行われる。

【0240】<電位分布発生回路>

図17は電位分布発生回路1608の構成を示す回路図と、これを用いてあるラインを通電活性化している様子を説明するブロック図である。

【0241】電位分布発生回路1608は、活性化の進行によって各素子を流れる素子電流と行方向配線抵抗(図40のr1～rnに相当)により発生する電位降下を補償するために、列方向から印加すべき補償電位量を発生し、バッファアンプ107へ出力する。

【0242】本参考例において、活性化の進行によって生じる電圧分布をキャンセルする様にバッファアンプ107出力(Sy1～Syn)で表面伝導型放出素子群101のDy1～Dyn端子を駆動する。

【0243】電位分布発生回路1608は、n個のD/Aコンバータ302とラッチ回路303で構成されている。n個のD/Aコンバータに対応したデジタル設定出力値110は外部から独立に設定される。具体的には、制御回路1606が電位降下分布量を演算により算出し、デジタル設定出力値110として設定する。各D/Aコンバータには独立な電位量が設定され、ラッチCLK111により全出力が同期して更新される。

【0244】<活性化処理>

引き続き、本参考例の装置を用いて、表面伝導型放出素子基板101を活性化する手順について、図16、図17、図5(a)、5(b)により説明する。活性化は全ての素子電流が目標値になるように行うが、この時の目標電流値は必要とする電子放出量などから予め求められる。本参考例においては、最終的に表面伝導型放出素子

基板101上の各素子の素子電流が2mAになるように電流モニタ回路103出力をモニタしながら、通電活性化処理を行った。

【0245】以下に活性化のフローについて説明する。

【0246】制御回路1606は、活性化開始の指令を受信すると、行単位で通電処理を行うために、タイミング発生回路105及び電源104を制御する。

【0247】先ず、列方向配線端子Dy1~Dynがグランド電位になる様、設定電流値101を設定し、一方、行方向配線端子Dx1~Dxmに順次活性化電位Eacをパルス状に印加する。このパルスは、例えば、パルス幅1ミリ秒、パルス高18V程度のパルスである。これにより表面伝導型放出素子基板101は行方向単位に順次パルス電圧が印加され、活性化がライン単位で開始する。

【0248】本参考例においては、行方向配線端子Dx1ライン上のn個の素子を活性化する場合の活性化について以下説明する。

【0249】活性化電圧を印加している1行目の表面伝導型素子群に着目し、その配線抵抗を含めたモデルで表面伝導型放出素子群301を表し、この素子群を通電活性化する様子を図17で説明する。図17において、F1~Fnは行方向配線端子Dx1ライン上の表面伝導型放出素子、r1~rnは行配線Dx1における各部の配線抵抗、Ry1は各配線Dy1~Dynの給電端から表面伝導型放出素子までの配線抵抗である。ここでは行配線は一定の線幅、厚さ、材料で形成されるように設計したため、製造上のばらつきを除けばr1~rnは等しいと考える。また各配線は等しく設計したため、各配線のRy1は等しいと考える。なお、通電活性化の前段で表面伝導型放出素子の等価抵抗値は変化(減少)するが、Ryの値に比べ各素子の等価抵抗は非常に大きく、Ryの影響は、ほとんど無視して考える。また表面伝導型放出素子の等価抵抗値は、r1~rnに比べて大きく設計されている。

【0250】表面伝導型放出素子群301を活性化するため、制御回路1606はタイミング発生回路105を介してライン選択回路102を制御し、活性化電位Eacを電源104、電流モニタ回路103を介して行方向配線端子Dx1に印加する。これにより端子Dx1は活性化電位Eacで駆動される。

【0251】一方、Dx1ライン上の素子のもう一方の電極端子であるDy1~Dyn端子はバッファアンプ107により駆動される。バッファアンプ107は、各素子F1~Fnからの活性化電流i1~inをシンクまたはソースするように動作するが、その出力電位振幅は電位分布発

$$i_{ave} = i_1 = i_2 = \dots = i_n = I/n \quad (1)$$

として見積もる。

【0257】この時、電位分布発生回路108出力端子※

$$\begin{aligned} B_{y1} &= -r_1 \times \sum \{k=1 \sim n\} r_k \\ &\approx -r \times n \times i_{ave} \\ &\approx -r \times I \end{aligned}$$

* 生回路1608によって決定される。

【0252】通電活性化を行う際、素子の電気特性は図41に示すような変化をする。即ち活性化の開始時は素子電流はほとんど流れず、通電と共に素子電流が流れ飽和する。この時、行配線Dx1上の素子群の端子電位をモニタすると配線抵抗r1~rnの影響でGy1~Gyn電位は変化する。この電位変化は活性化の進行と共に大きくなり活性化の最後に最も大きくなる。例えば、活性化電流2mA/素子、r1~rn=5mΩ、n=1000の場合、給電端から最も遠いFn素子の端子Gynにおいて

$$\Delta V = (1/2) \times 1000 \times 1001 \times 2\text{mA} \times 5\text{m}\Omega \approx 5\text{V}$$

もの電位の差が生じることになる。

【0253】そこで、この電位分布と同じ電位分布を電位分布発生回路1608で発生させ、各素子に生じる電圧分布をキャンセルする様にバッファアンプ107出力Sy1~Synにより、Dy1~Dyn端子を駆動する。即ち、活性化の進行に伴って各素子F1~Fnに流れる電流による端子Gy1~Gynの電位降下分布を、電位分布発生回路108出力By1~Bynで再現する。各素子F1~Fnの活性化がほぼ一様に進行すると仮定すると、各素子を流れる素子電流i1~inは、ほぼ等しく、その電流値は電流モニタ回路103で検出される活性化電流I(109)を用いて

$$i_{ave} = i_1 = i_2 = \dots = i_n = I/n$$

(nは列方向素子数)で現される。

【0254】制御回路1606は、このiaveを各素子を流れる電流値として、各素子端子での電位降下量を算出し、電位分布発生回路1608に設定する。これにより、電位分布発生回路1608出力By1~Bynには、各素子F1~Fnの素子端子Gy1~Gynと同じ電位降下分布が実現される。この電位をバッファアンプ107出力Sy1~SynによりDy1~Dyn端子に印加すれば、各素子F1~Fnの端子間に印加される電圧は素子番号、活性化の進行によらずに一定にできる。

【0255】本参考例において、活性化進行と共に発生する素子端子の電位の分布は以下のようにして計算している。

【0256】活性化は、ほぼ、どの素子も同時に進行するものとして、電流モニタ回路10で検出される活性化電流I(109)から各素子F1~Fnを流れる素子電流値i1~inを、

※に出力すべき電位By1~Bynは、配線抵抗値r1~rn=rを用いて、

45

46

$$\begin{aligned}
 By2 &= \dots r \times \sum \{k=2 \sim n\} rk + By1 \\
 &= \dots r \times (n-1) / n \times I + (-r \times I) \\
 &\dots \\
 Byn &= \dots rn \times in + Byn-1 + Byn-2 \dots + By1 \\
 &= \dots r \times 1/n \times I + \dots - r \times (n-1)/n \times I + (-r \times I) \\
 &= -1/2 \times r \times (n+1) \times I
 \end{aligned}
 \tag{2}$$

として算出される。

【0258】活性化の進行に従って、制御回路1606は活性化電流を測定し、上式により各出力電位By1~Bynを逐次算出する。引き続いて制御回路1606は、出力電位By1~Bynに対応したデジタル出力データを電位分布回路1608のラッチ回路303に転送する。素子電流計測→出力データの演算→ラッチ回路へのデータの転送の一連の作業が完了すると、制御回路1606は、D/Aデータの更新を行うためにラッチクロック110を全てのラッチ回路303に印加し、同期してデータの更新を行う。これにより電位分布発生回路1608は素子F1~Fnの端子Gy1~Gynに生じる電位分布量と同じ電位分布を発生する。

【0259】図5(a)、(b)は、参考例1においてと同様、本参考例における活性化の開始と終了時に素子F1~Fnの両端に印加される電位分布を示したものである。図5(a)は活性化開始直後の電圧分布を示している。横軸は素子番号F1~Fnであり、素子の位置を示している。縦軸は素子両端の端子電圧を示している。活性化の開始直後は前述したように各素子を流れる電流は小さい。従って電源104から印加する活性化電位Eac=18Vが各素子の端子Gy1~Gynに印加される。また活性化電流がほとんど流れていないので電位分布発生回路108の設定電流値もほぼ0となり、電位分布発生回路1608出力By1~Byn及びバッファ107出力Sy1~Synもほぼ0Vになる。これにより各素子には一定の印加電圧~18Vが印加され、活性化が進行する。

【0260】また図5(b)は活性化終了時の電位分布を示している。活性化の開始終了時は前述したように各素子を流れる電流はほぼ2mAになっている。従って電源104から印加する活性化電位Eac(印加端で18V)が各素子の端子Gy1~Gynに印加される際に配線抵抗の電位降の影響で低下する。この時、電位分布発生回路1608の設定電流値を2mAとすれば電位分布発生回路1608出力By1~Byn及びバッファ107出力Sy1~Synの分布はGy1~Gynの分布と同じになる。これにより各素子には一定の印加電圧~18Vが印加されて活性化が行われる。

【0261】即ち、活性化の進行に伴って素子電流が増加すると配線抵抗の影響で素子端に発生する電圧の分布が常に変化する。このとき、制御回路1606は、活性化の進行に応じて、電流モニタ103で逐次検出される活性化電流値Iから、上式(2)にしたがって電位分布発生回路1608出力By1~Bynを算出し、電位分布発

* 生回路1608に含まれるラッチ回路303のDD1~DDnそれぞれについて、算出された値By1~Bynに相当する値を逐次更新し設定する。こうして、活性化の開始から終了まで全ての素子が一定の電圧で活性化される。そして各素子の素子電流が2mAに達したところで活性化を終了する。

【0262】図21は、1ライン毎に活性化を完了させ、ラインを進めていく手順で活性化を行なう場合の、制御回路1606による制御手順の一例である。図21は、1ラインについて示している。通常は基板101は複数ラインを有するため、ライン数分繰り返してこの制御手順が行われる。図21において、まず、電流モニタ103からの入力値より、電位分布By1~Bynに相当するデジタル値を算出する(ステップS2701)。次に、得られた値を、ラッチ回路DD1~DDnにセットする(ステップS2702)。この状態でラッチクロックを電位分布発生回路に出力する(ステップS2703)。これを、前述した活性化終了条件が満たされるまで繰り返し、条件が満たされたなら、このラインについては活性化を終了する(ステップS2704~YES)。次のラインがあるなら、ライン切替信号を出力して次のラインを選択する。一方、選択ラインの活性化が終了していないなら、ステップS2701に戻って、ステップS2703で印加した活性化電圧に対する活性化電流値を電流モニタ103から読み取り、再度ステップ2701から繰り返す。なお、ステップ2703において出力されるクロックは、制御回路1606の動作自体を律するクロックなどを基に生成される所定周波数の信号であってもよい。

【0263】以上説明したような方法で、活性化時に生じた活性化電圧分布を補正することができ、全ての素子の電子放出特性が均一化された。

【0264】なお、以上の説明においては、行配線Dx1上の素子の活性化の説明を行ったが、他のライン上の素子を活性化する際も全く同様に適用できる。このようにして全ての表面伝導型放出素子基板101の活性化を終了する。

【0265】複数ラインを活性化する場合、上記したように、あるライン上の素子の活性化が完全に終了後にライン選択回路102を切り替えて、他の活性化ラインの活性化を行う方法(同時に1ラインずつ活性化)だけでなく、活性化ラインを順次切り替えながら複数同時進行で通電活性化を行ってもよい。この場合は、ライン毎に活性化進行のばらつきがある可能性があるため、ライン

47

毎の平均素子電流を逐次メモリ等にストアする。ラインを切替え時にメモリにストアされた平均素子電流を用いて電位分布発生回路1608出力を高速に更新しながら活性化を行う。この時、ライン毎に微妙に行方向配線抵抗 $r1 \sim rn$ が変化する場合、この値もメモリ等にストアし、電位分布を更新する場合にライン毎の平均素子電流値と共に適宜読み出して計算に使用してもよい。

【0266】また素子数 n が大きくなった場合、活性化電流計測→出力データの演算→データ転送の一連の作業は時間がかかる可能性があるため、各素子毎に並列して処理することで時間の短縮が図れる。また本参考例において電位分布発生回路1608は表面伝導型放出素子基板101の列方向配線数 n と同じ数の D/A コンバータで構成したが、補償電位分布の形は図5(a)、(b)に示すように緩やかに変化するため、 D/A コンバータの数を間引いて、間引いた列方向配線端子に印加すべき電位値を抵抗分割によって規定しても良い。これにより D/A コンバータの数を減らして、計算時間の短縮やコストダウンを可能とする。

【0267】また本参考例においては、電源104出力を正として、端子 $Dx1$ から端子 $Dy1 \sim Dym$ に電流を流す方向で活性化を行ったが、これとは極性を逆にして端子 $Dy1 \sim Dym$ から端子 $Dx1$ 側に電流を流すように活性化を行ってもよい。この場合は、電位分布も逆になるため、バッファアンプ107を(-1)倍の反転バッファアンプとして、電流をソースするように設定することで全く同様の効果が期待できる。

【0268】また本参考例においては、図17中、 Ry で示される列方向配線抵抗の影響は、列方向配線の大きさが表面伝導型放出素子の等価抵抗に比べて十分小さいとして無視していた。しかしながら、取出し配線等の大きさが大きくなって無視できない場合は、列方向配線抵抗による電位降下の補償を行ってもよい。

【0269】以上説明したように、本参考例の通電活性化装置によれば、活性電流をモニタして1ライン中の各素子の活性化電圧の分布を補正することで、全ての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度または濃度のばらつきが少ない高品位な画像表示装置が実現される。

【0270】〔参考例7〕

図18により本発明の参考例7である表面伝導型放出素子の通電活性化装置について説明する。図18においても、表面伝導型放出素子基板501は図6の基板101と同じであり、装置全体の動作や活性化の手順等は参考例6とほぼ同様なので省略する。

【0271】参考例7においては表面伝導型放出素子501のライン選択回路502の駆動方法が参考例6のそれと異なっているので説明する。

【0272】図19を参照してライン選択回路502の駆動方法を説明する。

48

【0273】ライン選択回路502は、内部に m 個のスイッチング素子($SWx1 \sim SWxm$)を備えるもので、各スイッチング素子は、電源504の出力電位もしくは可変電源513の出力電位のいずれか一方を選択し、表面伝導型放出素子基板101の端子 $Dx1 \sim Dxm$ と電気的に接続するものである。各スイッチング素子は、タイミング発生回路105が出力する制御信号 $Vscan$ に基づいて動作するものだが、実際には例えばFET、リレーのようなスイッチング素子を組み合わせる事により容易に構成する事が可能である。

【0274】図19においては1行目($Sx1$)のラインが選択され、行方向配線 $Dx1$ にのみ電源504の出力電位が印加され、他のライン($Sx2 \sim Sxm$)は可変電源513の出力電位に接続されている。可変電源513の出力電位は制御回路506が出力する非選択電位設定値512により設定される。

【0275】本参考例においては、活性化電圧を印加しない非選択ライン($Sx2 \sim Sxm$)に印加する電位である非選択電位をグラウンドレベルでない電位にしている。この理由を以下に記す。

【0276】行単位で通電活性化を行う場合、同一行上で列方向に生じる電位降下の分布を列方向配線端子 $Dy1 \sim Dym$ からの印加電位により補償するのが本実施例にかかる電子源の製造方法の趣旨であるが、表面伝導型放出素子基板が単純マトリクス構成であるため、列方向配線端子 $Dy1 \sim Dym$ からの印加電位は通電活性化ラインだけでなく、通電活性化を行っていないラインの素子にも印加される。むろん列方向配線端子 $Dy1 \sim Dym$ は最大でも数Vと小さいが、通電活性化を行っていないラインの素子への電位印加による消費電力増加を軽減する方が望ましい。そこで通電活性化を行っていないライン(非活性化ライン)を束ね、これらのラインに接続された素子両端に印加される電圧の絶対値を極力小さくするように、束ねたラインに非選択電位設定値512を印加した。

【0277】この時、非選択電位設定値512は以下のようにして制御回路506で決定した。電位分布回路808出力で各端子に発生する最大電位と最小電位の差を電位降下量として算出する。具体的には図18において電位分布回路508出力 $By1 \sim Bym$ の最大電位分布量

は、
最大電位分布量 = $By1$ 電位 - Byn 電位

で算出される。そこで、

非選択電位設定値512: $Voff = -(1/2) \times$ 最大電位分布量
と決定した。

【0278】本参考例においても、参考例1と同様に電位分布回路108出力は電流モニタ回路503の活性化電流値509(I)、配線抵抗値 $r1 \sim rn \approx r$ を用いて以下のように算出できる。

【0279】

49

50

$$By1 = \dots r1 \times \Sigma \{k=1 \sim n\} rk$$

$$\approx -r \times n \times iave$$

$$\approx -r \times I$$

...

$$Byn = \dots rn \times in + Byn-1 + Byn-2 + \dots + By1$$

$$\approx \dots r \times (1/n) \times I + \dots - r \times (n-1)/n \times I + (-r \times I)$$

$$\approx -(1/2) \times r \times (n+1) \times I$$

従って、非選択電位設定値512は、

$$Voff = -1/2 \times \text{最大電位分布量}$$

$$\approx -(1/2) \times (By1 \text{電位} - Byn \text{電位})$$

$$\approx -(1/4) \times r \times (n-1) \times I$$

として算出される。

* 駆動を行うと、非選択ライン上の素子両端には、

【0280】非選択ラインの電位をこのように設定して*

$$(Voff - By1) \approx (Voff - Byn) \text{ 即ち、}$$

$$-(1/4) \times r \times (n-5) \times I \approx (1/4) \times r \times (n+3) \times I$$

の電圧が印加されることになる。

【0281】もし、非選択電位設定値512がグランドレベルの場合、非選択ライン上の素子両端には、

$(Voff - By1) \sim (Voff - Byn)$ は

$$rx1 \approx (1/2) \times r \times (n+1) \times I$$

となるので、非選択ラインに、上記の非選択電位設定値512を印加することで非選択ラインに接続された素子両端に印加される電圧の絶対値が、ほぼ半分になった。

(通常nは1000以上と大きいため。) 図20

(a)、(b)に、活性化開始直後と活性化終了それぞれの時点における、表面伝導型放出素子基板501の各端子に印加される駆動電位波形の変化を示す。

【0282】図20(a)は活性化開始直後、図20(b)は活性化終了時点での各端子の駆動電位波形である。

【0283】前述のように、各素子は駆動電圧18V、パルス幅1msのパルスで駆動される。図20(a)、(b)の波形(a)は、活性化を行う端子Dx1への駆動波形を示し、これは電源504によって駆動される(駆動電位18V、パルス幅1ms)。波形(b)は、活性化を行っていない非選択ラインの端子Dx2～Dxmへの駆動波形を示し、これは非選択電位設定値512で設定される可変電源513によって駆動され非選択電位512はVoffで表される。波形(c)と(d)は、表面伝導型放出素子基板501の列方向端子の駆動波形を示し、これはバッファアンプ507で駆動される。波形(c)は、電位降下の最も小さな端子Dy1の駆動波形を、波形(d)は電位降下の最も大きな端子Dymの駆動波形を示している。

【0284】図20(a)に示す活性化開始直後においては、活性化電流はそれ程流れていない。このため配線抵抗での電位降下量も小さく、補償電位量や、非選択電位設定値Voffも小さい。一方、活性化が進行し、活性化の終了時点では活性化電流が大きく流れる。このため配線抵抗での電位降下量も大きくなり、図20(b)に※50

※示すように補償電位量や、非選択電位設定値Voffも大きくなる。即ち、活性化の進行と共に逐次補償電位分布が変化し常に設定した電圧=18Vが各素子に印加される。

20 【0285】なお各素子は、前述の様にパルス駆動される。この時、ライン選択回路502のパルス電位出力開始は、電位分布を発生するバッファアンプ507のパルス出力の変化よりも遅れて出力を開始し、パルスが出力を終了する場合はバッファアンプ507のパルス出力の変化より先にパルス出力を終了するようにしたので、これについて説明する。なお、この時間差は、図20(a)、(b)中、 Δt で表示されている。 Δt は数 μ sec程度である。

30 【0286】この時間差 Δt は、バッファアンプ出力のアンパ毎の出力ばらつきにより、出カタイミングにチャンネル間でディレイが生じるという問題に対応するためのものである。つまり、ライン選択回路502のパルス電圧出力が、電位分布を発生するバッファアンプ507のパルス出力の変化よりも先に開始される場合がある。この場合、出カタイミングにチャンネル間でディレイが生じると、一瞬、選択ライン上の素子の一部しか十分な駆動電圧が印加されない時間が生じる。この瞬間は、選択ライン上の全ての素子が駆動されず、流れる活性化電流が小さくなる。バッファアンプは選択ライン上の素子がすべて十分駆動されていると仮定して算出された電位を印加している。従って、この場合は設定より大きな駆動電圧が素子に印加され、特性不均一を発生させる可能性があった。

40 【0287】そこでライン選択回路502からのパルス電位出力は、電位分布を発生するバッファアンプ507のパルス出力の変化よりも遅れて開始され、バッファアンプ507のパルス出力の変化より先に終了される。こうすれば、バッファアンプの出カタイミングばらつきの影響を回避できる。

【0288】本参考例のごとく、非選択ラインへ与える

51

電位をより列配線の電位に近くすることにより、表面伝導型放出素子基板を活性化時に投入される投入電力をより低減することができた。なお、オフセット電位の決定方法は上述した方法だけでなく、表面伝導型放出素子基板全体に印加される電力値が最小になるようにしてもよい。

【0289】以上説明したように、本参考例の通電活性化装置によれば、活性化電流をモニタして1ライン中の各素子の活性化電圧の分布を補正することで、全ての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度または濃度のばらつきが小さい高品位な画像表示装置が実現される。

【0290】また通電活性化を行っていないラインに所定の非選択電位を印加することで、非選択ラインの素子への電圧印加による消費電力増加を軽減することができる。また、ライン選択のパルス電位出力開始を、バッファアンプからの活性化電位のパルス出力の変化よりも遅れて出力を開始し、ライン選択のパルス出力を、バッファアンプからの活性化電位のパルス出力より先に終了することで、バッファアンプからの出カタイミグにばらつきがあっても、その影響を回避できる。

【0291】【参考例8】

図33により本発明の第8の実施例である表面伝導型放出素子の通電活性化装置について説明する。この図33においても、表面伝導型放出素子基板701は図1の101と同じであり、装置全体の動作や活性化の手順等は実施例6とほぼ同様なので説明を省略する。

【0292】第6及び参考例7と異なり、参考例8では、表面伝導型放出素子701のライン選択回路702に接続された電流モニタ回路が存在しない。その代りに、電位分布発生回路708に発生すべき分布電位値を格納した分布値メモリ712を具備し、このデータを制御回路706からの指令によって、電位分布発生回路708に転送できるようになっている。この理由について説明する。

【0293】図27(B)や図41の活性化経過時間-活性化電流の変化に示したように、通電活性化処理中、素子電流は通電とともに増加し、やがて飽和する。第6及び参考例7においては、最終的に表面伝導型放出素子基板101上の各素子の素子電流が2mAになるように、電流モニタ回路で素子電流をモニタしながら通電活性化処理を行っていた。しかしながら、活性化プロセスの再現性が高く活性化経過時間と活性化電流の変化が、表面伝導型放出素子基板701のいずれの素子を活性化する場合に、ほぼ同じ場合は、電流モニタ回路によって活性化進行をモニタしなくても、活性化の通電時間で活性化終了を判断することが可能である。本実施例は、このような活性化経過時間で活性化の終了を判断する活性化方法を行う際、配線抵抗によりライン方向に生じる電位降下を補償する方法を説明するものである。

52

【0294】参考例6, 7と同様に、パルス幅1ミリ秒、パルス周期10ミリ秒、パルス高18Vの活性化電圧をパルスを印加し、活性化を行った。この時活性化素子電流が2mA/素子得られるように、活性化を30分を行った。このとき、図27(B)や図41に示すような活性化経過時間-活性化電流の変化を30分、予め測定した。そして参考例6の(1)(2)式に従って、ある活性化経過時間における活性化電流値から、電位分布発生回路708から出力すべき電圧量を演算によって求め、分布値補正メモリ712に格納した。

【0295】分布値補正メモリ712は、活性化経過時間 t と列方向配線番号 $1 \sim n$ でアドレッシングされ、対応した活性化経過時間において、各列方向配線番号 $1 \sim n$ で発生すべき電位補償値を設定出力値710として出力し、対応する電位分布回路708のD/Aコンバータの値を設定する。これによって、各D/Aコンバータには独立な補償電位量が設定され、ラッチCLKにより全出力が同期して更新される。

【0296】図34は、分布値補正メモリ712に格納された補正電位値の一例を示すものである。図34において、分布値補正メモリ712は、活性化経過時間 $t = 1$ 分毎の補償電位量を格納した。活性化経過時間 $t = 0$ においては、列方向配線番号 $1 \sim n$ の補正電位値はすべて0Vであり、1分後は、 $-0.1V$ から $-0.3V$ 、29分後は、 $-0.5V$ から $-3.0V$ までの補償電位を発生する。即ち、分布値補正メモリ712は列方向配線数 $n \times 30$ 分の補償電位データを格納している。

【0297】図35は、30分の活性化を行った際に、活性化の開始1分後と、終了直前の29分後に素子 $F1 \sim Fn$ の両端に印加される電圧分布を示したものである。電位分布のグラフ図で横軸は素子番号 $F1 \sim Fn$ であり、素子の位置を示している。また縦軸は素子両端の素子電圧を示している。活性化開始1分後に示すように、活性化の、開始直後は前述したように各素子を流れる電流は小さい。従って、電源704から印加する活性化電位 $E_{ac} = 18V$ が各素子の端子 $Gy1 \sim Gy_n$ に印加される。また活性化電流がほとんど流れていない。また分布値補正メモリ712の各値もほぼ0Vで、電位分布発生回路108の設定電流値もほぼ0となり、電位分布発生回路108出力 $By1 \sim By_n$ 及びバッファ107出力 $syl \sim Syn$ もほぼ0Vになる。また図35に示す活性化経過時間29分においては、分布値補正メモリ712の各値が一番大きな補償電位を発生する。これにより各素子には一定の印加電圧 $\sim 18V$ が印加され、活性化が進行する。

【0298】なお、以上の説明においては、分布値補正メモリ712は、活性化経過時間 $t = 1$ 分毎の補償電位量を格納した。しかしながら活性化経過時間-活性化電流プロファイルにおいて単位時間における活性化電流の変化はいつも一定ではないため、実際のプロファイルに

あわせ、分布値補正メモリ712をアドレッシングする活性化経過時間との間隔を調整することもできる。即ち、単位時間における活性化電流の変化が大きい時間領域では分布値補正メモリ712をアドレッシングする活性化経過時間との間隔を小さくし、単位時間における活性化電流の変化が小さい時間領域では分布値補正メモリ712をアドレッシングする活性化経過時間との間隔を大きくすることでメモリの容量を節約し、かつ制御性の高い電圧補償が実現できる。

【0299】以上の各参考例によれば、表面伝導型放出素子をマトリクス状に配線した表面伝導型放出素子基板を通電活性化により製造する際に、配線抵抗と活性化電流による電位降下の影響で、素子に印加される電圧に不均一が生じて特性ばらつきが発生する現象を防いで、多数の表面伝導型放出素子を単純マトリクス配線した電子源が均一な電子放出特性を得られるような通電活性化を実現できる。これにより、この電子源基板を用いて輝度または濃度のばらつきが少ない高品位な画像表示装置が実現された。

【0300】また、通電活性化を行っていないラインに所定の非選択電位を印加することで、より制御性が増し、特に非選択電位を列配線の電位に近づけることによって、非選択ラインの素子への電圧印加による消費電力増加を軽減することができる。また、ライン選択のパルス電位出力開始を、列配線電位のパルス出力の変化よりも遅れて出力を開始し、ライン選択のパルス出力を、列配線電位のパルス出力より先に終了することで、電位の出力（接続）タイミングのばらつきの影響を回避できる。

【0301】以降の参考例では、複数のラインを同時に選択し、該複数のラインのそれぞれに複数の接続される素子に同時に通電を行う構成に特に有効な参考例を説明する。

【0302】〔参考例9〕

図44は、本発明の参考例9の表面伝導型放出素子の通電活性化装置の構成例を示すブロック図である。

【0303】図中、101は通電活性化をするための対象となる表面伝導型放出素子基板である（本参考例9における基板44101には複数の表面伝導型放出素子がマトリクス状に配線されており、既にフォーミング処理が完了しているものとする）。基板44101は不図示の真空排気装置に接続された容器内に収容されており、その容器内は10の-4乗から-5乗（torr）程度に真空排気されている。さらに行配線端子Dx1~Dxm及び列配線端子Dy1~Dymを介して外部の電気回路と接続されている。44102は基板44101における活性化するための行配線を選択するライン選択回路で、タイミング発生回路44105からのラインセレクト信号に従って同時に2本以上の行配線を選択し、その選択した行配線に電源44104の電位を印加している。44103は

電流検出回路で、選択した行配線に電圧印加した際、その選択した各行配線に流れる電流を行毎に個別にモニタしている。電流検出回路44103は、検出用抵抗Rmonと、その検出用抵抗の両端に発生する電圧をサンプル／ホールドするサンプルホールド回路と、この検出用抵抗の両端に発生する電圧を計測する電圧計測器を備えている。これらにより電源44104から選択した行配線に流れる電流Ifを検出し、その検出した電流値を活性化電流値44109として制御回路44106に出力する。なお、検出用抵抗Rmonの抵抗値は、電流Ifが流れることによる電圧降下で表面伝導型放出素子への印加電圧が影響を受けないように十分小さな値に設定されている。また電源44104は制御回路44106からの指令値に応じて、表面伝導型放出素子基板44101の各行配線に印加する電位を決定している。

【0304】44107はバッファアンプ回路で、タイミング発生回路44105からの制御クロックHscan信号に同期したタイミングで、表面伝導型放出素子基板44101の列配線の端子Dy1~Dymに電位を印加する。このバッファアンプ回路44107の入力値、即ち、列配線の端子Dy1~Dymに印加する電位値は、画素電極駆動回路44108で決定される。

【0305】本参考例9においては、通電活性化の進行状況を活性化時に流れる電流量（電流検出回路44103で検出される活性化電流44109）で把握している。そして、制御回路44106は通電活性化開始の指令とともに基板44101の表面伝導型放出素子の活性化を開始し、詳細は後述するが、活性化の進行状況に応じて変化する列方向の素子の駆動電圧値の分布を逐次補正する。即ち、メモリ44111に格納された配線抵抗値データと、電流検出回路44103からの活性化電流値44109を参照して、活性化中の各素子の特性を補償する電位値を算出し、この電位値を画素電極駆動回路44108に設定出力値44110として設定する。これにより画素電極駆動回路44108は、この設定出力値44110に応じた駆動電位を発生する。さらに、この駆動電位はバッファアンプ44107を通して、基板44101の列配線に印加される。これにより、活性化されている各素子における素子電流と配線抵抗によって生じる電圧分布が補正（電圧の差が抑制）され、活性化中の各素子に常に一定の電圧が印加されることになる。また活性化の進行に応じて逐次画素電極駆動回路44108に設定する設定出力値44110を更新することにより、活性化の終了時まで、その活性化されている行の素子に印加される電圧分布が補正される。

【0306】また制御回路44106は、電流検出回路44103で検出された活性化電流値44109に基づいて活性化の進行をモニタし、ライン選択回路44102を介して電源44104から電位が印加される行配線を選択する。この動作の詳細も後述するが、制御回路4

55

4106は駆動ライン設定信号をタイミング発生回路4105に出力して駆動すべき(活性化すべき)行配線を設定する。タイミング発生回路4105は、電源4104とm本の行配線のいずれと接続するかをラインセレクト信号に応じて設定し、表面伝導型放出素子基板4101の活性化対象となる表面伝導型放出素子に電源4104の電位を印加する。なお、メモリ4111には、活性化の進行状況に応じて変化する列方向の素子の駆動電圧値分布を補正するために、活性化電流値と配線抵抗値とを格納しており、これらは制御回路4106により必要に応じて参照される。

【0307】次に、図45を参照してライン選択回路4102の構成を説明する。

【0308】このライン選択回路4102は、基板4101の行配線の数mに応じて内部にm個のスイッチング素子(SWx1~SWxm)を備えるもので、各スイッチング素子は、電源4104の出力電位もしくは0[V](グランドレベル)のいずれか一方を選択し、その選択した電位を表面伝導型放出素子基板4101の行配線端子Dx1~Dxmに印加するものである。各スイッチング素子は、タイミング発生回路4105が出力するラインセレクト信号に基づいて動作しており、例えばFET、リレーのようなスイッチング素子を組み合わせることにより容易に構成することができる。図45においては1行目(Sx1)と2行目(Sx2)の行配線が選択され、基板4101の行配線端子Dx1、Dx2にのみ電源4104の出力電位が印加され、他の行配線がグランドに接続されている状態を示している。

【0309】図46は、画素電極駆動回路4108の構成を示す回路図である。

【0310】画素電極駆動回路4108は、n個のラッチ回路44301とD/Aコンバータ44302を備え、表面伝導型放出素子基板4101のn本の列配線を駆動する駆動信号を発生する。制御回路4106は、後述する手順により活性化電流値4109を基にして、各列配線を駆動する駆動電位値By1~Bynを逐次更新する。制御回路4106は駆動電位に対応した設定出力値4101(DD1~DDn)を画素電極駆動回路4108のラッチ回路44301に転送する。

【0311】制御回路4106は、活性化電流値4109の計測→設定出力値4110の演算→ラッチ回路44301へのデータ転送といった一連の作業が完了するとラッチクロックを全てのラッチ回路44301に出力する。これにより、D/Aコンバータ44302から出力される駆動電位By1~Byが更新される。

【0312】次に本参考例9の装置を用いて、表面伝導型放出素子基板4101を活性化する手順について図44、図47および図48を参照して説明する。

【0313】活性化は全ての素子の素子電流Ifが目標値となるように行う。この時、目標電流値は必要とする

56

電子放出量などから求められる。本参考例9においては、最終的に表面伝導型放出素子基板4101の各素子の素子電流を2mAになるように電流検出回路4103の出力をモニタしながら通電活性化処理を行った。

【0314】以下に、活性化を行う処理の流れについて説明する。

【0315】制御回路4106は活性化開始の指令を受信すると、基板4101の素子を行単位で活性化するために、タイミング発生回路4105、電源4104を制御する。

【0316】まず、基板4101の列配線端子Dy1~Dymをグランド電位になるように設定出力値4110を画素電極駆動回路4108に設定する。また行配線端子Dx1~Dxmには順次活性化電位Eacをパルス状に印加する(例えば、パルス幅1ミリ秒、パルス高18V)。これにより表面伝導型放出素子基板4101には行単位に順次パルス電圧が印加され、基板4101の素子の活性化が行単位で行われる。なお、詳細は後述するが、時間短縮のため、この参考例では活性化処理を2行単位として同時に行った。

【0317】以下、行単位で通電処理を行う場合に、給電端からの距離に依存して生じる素子特性のばらつきを補正するために、本参考例9で用いた方法を説明する。本参考例9では、行配線端子Dx1とDx2の2本の行配線に接続された表面伝導型放出素子を同時に駆動する際、2本の行配線の1本に注目し、行配線端子Dx1に接続された1行目の行配線に接続されたn個の素子を活性化する場合について説明する。

【0318】活性化電圧を印加している1行目の行配線(端子Dx1)に接続された表面伝導型素子群に着目する。図47では、各素子の配線抵抗を含めたモデルで表面伝導型放出素子群44401を表し、この素子群を通電活性化する様子を図47を参照して説明する。

【0319】図47において、F1~Fnは行配線端子Dx1に接続された1行目の行配線に接続された表面伝導型放出素子、r1~rnは1行目の行配線における各部の配線抵抗、Ryは各列配線Dy1~Dymの給電端(バッファアンプ44107の出力端)から表面伝導型放出素子までの配線抵抗である。ここでは行配線は一定の線幅、厚さ、材料で形成されるように設計されるため、製造上のばらつきを除けば配線抵抗r1~rnはほぼ等しいと考える。また各列配線は一般にどれも等しく設計されるため各列配線の配線抵抗Ryもほぼ等しいと考える。なお、通電活性化の前後で表面伝導型放出素子の等価抵抗値は変化(減少)するが、各列配線の配線抵抗Ryの値に比べ各素子の等価抵抗は非常に大きい。このため本参考例9のように2本の行配線を同時に駆動して通電活性化を行った場合でも、配線抵抗Ry両端での電圧降下量は非常に小さくなるため、この配線抵抗Ryによる影響は無

視する。また、表面伝導型放出素子F1～Fnの等価抵抗値は、行配線における配線抵抗r1～rnに比べて大きく設計されている。

【0320】図47における表面伝導型放出素子群4401を活性化するため、制御回路44106はタイミング発生回路44105を介してライン選択回路44102を制御して、活性化電位Eacを出力する電源44104、電流検出回路44103を行配線端子Dx1に接続する。これにより端子Dx1に接続されている1行目の行配線に接続された表面伝導型放出素子が活性化電位Eac

で駆動されることになる。
【0321】一方、行配線端子Dx1に接続された行配線上の素子のもう一方の電極端子である列配線端子Dy1～Dynには、バッファアンプ44107よりの電圧が印加される。バッファアンプ44107は、各素子F1～Fnからの活性化電流i1～inをシンクするように動作するが、その出力電位値は、画素電極駆動回路44108によって決定される。

【0322】画素電極駆動回路44108の出力設定方法を説明するため、通電活性化を行う際の各素子への駆動電圧分布について説明する。

【0323】通電活性化を行う際、各素子を流れる素子電流は図41に示すような変化をする。即ち、活性化の開始時は素子電流はほとんど流れず、通電時間の経過と共に素子電流が流れ、やがて飽和する。この時、行配線端子Dx1と接続する1行目の行配線に接続された各素子の端子電位Gy1～Gynをモニタすると、その行配線の配線抵抗r1～rnによる影響のために端子電位Gy1～Gynは図48に示すように変化する。この端子電位の変化は、素子の活性化の進行と共に大きくなり、活性化の終

$$By1 = -r1 \times n \times iave$$

$$By2 = -r2 \times (n-1) \times iave + By1$$

$$Byn = -rn \times iave + Byn-1 + Byn-2 + \dots + By1$$

… 式(3)

として算出される。

【0327】制御回路44106は、各素子の活性化の進行に従って変化する活性化電流を測定し、上式(3)により各出力電位By1～Bynを逐次算出し、それに伴って設定出力値44110を求め、画素電極駆動回路44108のラッチ回路44301に転送してラッチする。こうして活性化電流44109の計測→設定出力値44110の演算→ラッチ回路44301への設定出力値の転送といった一連の作業が完了すると、制御回路44106は、D/Aデータの更新を行うためにラッチクロックを全てのラッチ回路44301に印加しデータの更新を行う。これにより、画素電極駆動回路44308は素子F1～Fnの端子Gy1～Gynに生じる電位分布と同じ電位分布を発生する。こうして各素子F1～Fnの端子間に※50

*了時に最も大きくなる。例えば、活性化電流2mA/1素子、配線抵抗r1～rn=10mΩ、素子数n=1000の場合、給電端から最も遠い素子Fnの端子電位Gynにおいては、もっとも左端の素子と比べて、 $\Delta V = \{(1/2) \times 1000 \times 1001 \times 2 \text{mA} \times 10 \text{m}\Omega\} - 2 \text{mA} \times 1000 \times 10 \text{m}\Omega \approx 10 \text{V}$ もの電位差が生じることになる。

【0324】そこで、この電位差分布と同じ電位分布を画素電極駆動回路44108で発生させ、各素子に生じる電圧分布をキャンセルする様にバッファアンプ44107から出力される駆動信号Sy1～Synにより列配線端子Dy1～Dynを駆動する。

【0325】即ち、活性化の進行に伴って、各素子F1～Fnに流れる活性化電流と配線抵抗r1～rnによって端子電位Gy1～Gynに生じる電位降下の分布を制御回路44106で演算し、その分布を補正するような設定出力値を画素電極駆動回路44108のラッチ回路44301にラッチし、D/Aコンバータ44302の出力値を設定する。こうして、駆動電位By1～Bynにおいて電位降下補償分布を再現できる。各素子F1～Fnの活性化がほぼ一様に進行すると仮定すると、各素子を流れる素子電流i1～inはほぼ等しく、その電流値は電流検出回路44103で検出される電流値Iを用いて、

$$iave = i1 = i2 = \dots = in = I/n \quad \text{で表される。}$$

【0326】この時、各素子F1～Fnに流れる電流と配線抵抗r1～rnによって端子電位Gy1～Gynに生じる電位降下分布、即ち、画素電極駆動回路44108から出力される駆動電位By1～Bynは、配線抵抗値r1～rnとiaveを用いて、

*印加される電圧は素子の位置、活性化の進行によらずにほぼ一定にすることができる。

【0328】図48(a)(b)は、活性化の開始と終了時に素子F1～Fnの両端に印加される電圧分布を示したものである。

【0329】図48(a)は活性化開始直後の電圧分布を示している。図48において、横軸は素子番号F1～Fnを示し、これは素子の位置に対応している。また縦軸は素子の電極間に印加される端子電圧を示している。図48(a)に示す活性化の開始直後では、前述したように各素子を流れる電流は小さい。従って電源44104から印加する活性化電位Eac=18[V]が各素子の端子Gy1～Gynに印加される。またこの時点では活性化電流がほとんど流れていないので、画素電極駆動回路4

4108の設定電流値もほぼ“0”となり、画素電極駆動回路44108の駆動出力電位By1~Byn及びバッファアンプ44107の出力Sy1~Synもほぼ0[V]になる。これにより各素子には一定の電圧(約18V)が印加され、活性化が進行する。

【0330】また図48(b)は活性化終了時の電圧分布を示している。活性化の終了時は前述したように各素子を通れる電流はほぼ2mAになっている。従って、電源44104から印加する活性化電位Eac=18[V]が、各素子の端子Gy1~Gynに印加される際、配線抵抗による電位降下の影響で低下する。この時、画素電極駆動回路44108の設定出力値を2mAとすれば、画素電極駆動回路44108から出力される駆動電位By1~Byn及びバッファアンプ44107から出力される駆動信号Sy1~Synの分布は端子Gy1~Gynにおける電位分布と同じになる。これにより各素子には、略一定の電圧(約18V)が印加されて活性化が行われる。

【0331】即ち、活性化の進行に伴って素子電流が増加すると、配線抵抗の影響で素子に印加される電圧分布が変化する。この時、電位分布量を算出して画素電極駆動回路44108の設定出力値44110として設定し、画素電極駆動回路44108駆動電位By1~Bynを逐次更新することにより、活性化の開始から終了まで全ての素子が一定の電圧で活性化される。そして各素子の平均素子電流iaveが2mAに達したところで活性化を終了した。

【0332】上述した説明においては、行配線端子Dx1に接続された1行目の行配線の素子の活性化の説明を行ったが、他の行配線に接続された素子を活性化する場合も全く同様に適用できる。本参考例9においては、活性化する行配線を順次切り替えながら、複数行を同時に通電活性化を行っていた。この参考例9では、2本の行配線に接続されている素子を同時に通電活性化処理している。このため、同時に通電活性化するための行配線の選択に関して考慮が必要となった。この点に関して以下説明する。

【0333】通電活性化処理を短時間で終わらせるために、本参考例9では、同時に複数の行配線を選択して通電活性化処理を行った。即ち、本参考例9においては、2本の行配線を同時に選択して駆動しながら通電活性化処理を行った。

【0334】前述したように本参考例9では、通電活性化時に、活性化電流と配線抵抗により生じる各素子の印加電圧の不均一を、画素電極駆動回路44108から出力する電位を制御することにより補償している。本参考例9の基板44101は、複数の表面伝導型放出素子を*

*単純マトリクス配線によって接続して構成している。従って、2ライン分の表面伝導型放出素子を同時に活性化する場合、画素電極駆動回路44108は2本の行配線に対して共通な補償電位を出力するため、各行配線には同じ補償電圧が印加されることになる。この時、2ライン分の表面伝導型放出素子の活性化特性が全く同じ場合は同じ補償電圧を印加して補償ができる。しかしながら実際には、製造ばらつきにより、各行配線の配線抵抗値にばらつきが生じたり、個々の行配線毎に活性化の進行速度が異なるなどして、2本の行配線に印加すべき補償電位を異ならせる必要がある。

【0335】このように同時に複数の行配線に接続された表面伝導型放出素子の活性化を行う場合、印加すべき補償電圧が異なる場合に対応するため、本参考例9では、活性化の進行と共に同時に活性化する行配線を逐次変更し、活性化の進行が同じ行配線2本を同時に駆動した。この詳細について図49のフローチャートにより説明する。説明を分かりやすくするため、素子基板44101の行配線の数mを“480”として以下に説明する。

【0336】図49は本参考例9の制御回路44106による活性化処理の制御工程を示すフローチャートである。

【0337】まずステップS1で、活性化開始の指令により、制御回路44106は通電活性化処理を開始する。ここでは先ず、活性化の開始時の初期駆動条件を設定する。この初期駆動条件として設定する項目は、画素電極駆動回路44108への設定出力値44110の設定と、タイミング発生回路44105に指示する同時駆動する行配線の設定の2つである。

【0338】画素電極駆動回路44108への初期電位値の設定は以下のように行った。活性化処理の開始時、各素子を通れる活性化電流はそれ程大きくないため、活性化電流と配線抵抗により生じる各素子における印加電圧の不均一の問題は生じない。従って、画素電極駆動回路44108から出力する補償電位は全て0[V]となるように設定する。また、行配線への通電は2本同時に行うため、480本の行配線を240ブロックの通電処理単位に分割する。この240ブロックの割付を行うのが“同時駆動ラインの設定”である。なお、活性化処理の開始時点においては、どの行配線も同一と考えてよい。ここでは、どのように2本の行配線を組み合わせても問題はない。ここでは、活性化電圧の印加時に、素子基板44101上に均等に電力が印加されるように、以下のように行配線の組み合わせを設定した。

【0339】

ブロック1: 1番目の行配線と241番目の行配線

ブロック2: 2番目の行配線と242番目の行配線

ブロック240: 240番目の行配線と480番目の行配線

次にステップS2では、ステップS1での設定に基づいて駆動条件を設定した後、活性化処理を開始する。ここでは2本の行配線ずつ駆動を行う。駆動する行配線の選択は、上述したステップS1における同時駆動ラインの設定値に基づいて決められ、これに基づく駆動ライン設定信号がタイミング回路44105に出力される。タイミング発生回路44105は、この設定信号に基づいてラインセレクト信号をライン選択回路44102に出力し、ライン選択回路44102により選択された2本の行配線に、電源44104からの出力電位が同時に印加される。またこの時、基板44101上の選択された行配線に接続された素子の活性化の進行状況をモニタして、各素子における活性化電流とそれら行配線の配線抵抗により生じる電位降下の補償量を算出するため、電流検出回路44103により検出した各行配線を通る活性化電流44109を入力し、その検出した電流値をメモリ44111に格納する。

【0340】次にステップS3に進み、それぞれ2本の行配線（1ブロック）ずつの活性化処理と電流検出を240ブロック分に対して行ったかどうかを調べ、そうでなければステップS2に戻り、次のブロックへの通電活性化処理と各行配線における電流検出を行う。

【0341】こうして全ブロックに対する活性化処理が一通り行われるとステップS4に進み、各素子の活性化の進行により、活性化電流と配線抵抗により生じる電位降下の補償電位を算出する。ここでは前述の式(3)により、各行配線毎の活性化電流と配線抵抗とから補償電位値を算出することが可能である。各行配線において配線抵抗 $r_1 \sim r_n$ はほぼ等しいと考えてよく、各行配線ごとのばらつきのみを補正するため、各行配線毎の配線抵抗値を予め測定してメモリ44111に格納しておく。上述した2本の行配線を同時に駆動している際も、電流検出回路44103により各行配線の活性化電流を検出し、前述のステップS2に従ってメモリ44111に格納した各ライン毎の活性化電流値と配線抵抗値を用いて各ライン毎に補償電位値を算出する。

【0342】次にステップS5に進み、活性化の進行により、印加すべき補償電位値が各行配線毎に変化するため、同時に選択して電圧を印加する行配線の組み合わせも逐次更新する必要がある。そこで、このステップS4では、同時に選択して駆動する行配線の設定を行う。先ず、その行配線を通る活性化電流が目標値（2mA/1素子当り）に達した行配線は活性化が終了しているため次に選択するための行配線から除外する。そして次に活性化をすべき行配線を選択するために、ステップS2で算出した補償電位値が大きいものから順に並べ、補償電位値の似た行配線を2本ずつ同時に選択する。この時、選択される行配線として隣り合った2本の行配線同士が選択されると、表面伝導型放素子基板の一部に電*

*力が集中してしまう可能性がある。そこで1番目～480番目の行配線のうち1番目～240番目の行配線をブロックA、241番目～480番目の行配線をブロックBとして、同時に選択される2本の行配線をブロックAとブロックBから各1本ずつ選択するようにした。

【0343】こうしてステップS6に進み、基板44101の全ての行配線に接続された素子の活性化が終了したかどうかを判断し、各行配線を通る電流値が目標値に達してすべての素子の活性化が終了したと判断されると活性化を終了する。また全ての素子の活性化が終了していない場合はステップS2に戻って、再びスクロール駆動を開始する。この時の同時に選択する行配線の組み合わせと画素電極駆動回路44108からの補償電位値は、前述のステップS3およびS4で設定された値を用いる。

【0344】このようにして基板44101の素子の活性化を終了する。このように、活性化電流と配線抵抗による電圧降下を補償するため画素電極駆動回路44108の出力By1～Bynを逐次更新することにより、活性化の開始から終了まで全ての素子が略一定の電圧で均一に活性化され、かつ2本の行配線を同時に選択して駆動することにより、1本ずつ駆動していた場合に比べ半分の処理時間で通電活性化処理が完了できる。

【0345】なお、本参考例9においては、電源44104の出力電圧を正極性とし、行配線端子Dx1から列配線端子Dy1～Dynに電流を流す方向で活性化を行うように説明したが、これと極性を逆にして列配線端子Dy1～Dynから行配線端子Dx1側に電流を流すようにして活性化を行ってもよい。この場合は、電位分布も逆になるため、バッファアンプ44107を（-1）倍の反転バッファアンプとして電流をソース側とするように設定することで全く同様の効果が期待できる。

【0346】また本参考例9において、画素電極駆動回路44108は基板44101の列配線数nと同じ数のD/Aコンバータを用いて構成したが、補償電位分布の形は図48に示すように緩やかに変化するため、D/Aコンバータの数を少なくして、間引いた列配線端子に印加すべき電位値を抵抗分割によって規定しても良い。これにより、画素電極駆動回路44108のD/Aコンバータの数を減らしてコストダウンを可能とする。

【0347】また列配線方向の素子数nが大きくなった場合、電流検出回路44103における電流計測→設定出力値44110の演算→画素電極駆動回路44108へのデータ転送等の一連の作業は時間がかかる可能性がある。これを処理する際、各素子毎に並列して処理したり、活性化電流値と配線抵抗値と各素子の位置とから設定出力値44110を発生するようなデータを記憶したルックアップテーブル（LUT）を用いることで時間の短縮が図れる。

【0348】また、設定出力値44110の更新時間間隔も、本参考例9に示したように、1スクロール毎に行わなくても、活性化の進行速度に合わせて適宜行うようにしてもよい。

【0349】以上説明したように本参考例9の通電活性化装置によれば、全ての素子の電子放出特性が均一化される。これにより、この電子源基板44101を用いて輝度または濃度のばらつきが少ない高品位な画像表示装置が実現された。

【0350】[参考例10]

図50は、本発明の参考例10の表面伝導型放出素子の通電活性化装置の構成を示すブロック図で、前述の参考例9の構成と共通する部分は同じ番号で示し、その説明を省略する。この参考例10では、活性化時、同時に通電駆動する行配線の選択方法が前述の参考例9と異なっており、これにより一層通電処理時間の短縮化を実現したので以下に説明する。

【0351】本参考例10においては、同時に通電駆動する行配線の数を活性化処理の開始時から終了時まで一定とせず逐次変更した。これを実現するために同時選択ライン数決定回路44112を備えている。このように活性化の際の同時に選択する行配線の数を増やすことにより通電処理時間は短縮化できるが、その一方、同時に選択する行配線数をむやみに増やすことはできず、以下の様な制限がある。

(1) 配線抵抗 R_y に生じる電位降下の影響

今まで、図47の等価回路で列配線の配線抵抗 R_y の影響は小さいとして無視してきた。しかしながら同時に通電駆動する行配線の数が増えると、配線抵抗 R_y で生じる電位降下の影響が無視できなくなり、上述した電位降下を補償できる効果が損なわれてしまう。(2) 表面伝導型放出基板への投入電力の問題

同時に複数の行配線に通電して駆動する場合、1本ずつ駆動する場合に比べて表面伝導型放出素子基板44101に多くの電力が投入されることになる。一般に表面伝導型放出素子基板44101は、ガラス等のように熱伝*

ブロック1: 1番目、25番目、49番目…217番目の行配線

ブロック24: 24番目、48番目、72番目…240番目の行配線

次にステップS12に進み、ステップS11での設定に基づいて駆動条件を設定した後、活性化を開始する。ここでは同時選択ライン数決定回路44112で決められた本数の行配線ずつ同時に選択して駆動する。この駆動する行配線の選択は、ステップS11で設定された同時駆動ラインの設定値に基づいて決められ、駆動ライン設定信号としてタイミング回路44105に出力される。タイミング発生回路44105は、この駆動ライン設定信号に応じてラインセレクト信号を出力し、ライン選択回路44102で2本の行配線に同時に電源44104*50

*導率の悪い材料を使用する機会が多いため、余りに大量の電力を投入すると表面伝導型放出素子基板44101を熱で破壊する可能性がある。

【0352】このような制限を考慮して、各素子の活性化の進行状況に応じて最適な、同時選択する行配線の数を決定するのが同時選択ライン数決定回路44112である。

【0353】本参考例10において、同時選択ライン数決定回路44112は上記した制限のうち、投入電力の制限の方が厳しかったため、投入電力を基に同時に選択する行配線の数を最大10本から最小2本の間で活性化の進行と共に変化させた。

【0354】この詳細について図51のフローチャートを参照して説明する。ここでは説明を分かりやすくするため、表面伝導型放出素子基板44101の行配線数 m が240本として説明する。

【0355】まずステップS11で、活性化開始の指令により、制限回路44106は通電活性化を開始する。ここではまず、活性化の開始時の初期駆動条件の設定を行う。初期駆動条件として設定する項目は、画素電極駆動回路44108から出力する初期電位値の設定と、同時に選択して駆動する行配線の設定の2つである。

【0356】画素電極駆動回路44108の初期電位値設定は以下のように行った。駆動開始時には活性化電流はそれ程流れないため、活性化電流と配線抵抗により生じる各素子に印加される電圧の不均一の問題は生じない。従って、画素電極駆動回路44108から印加する補償電位量は全て0[V]となるように設定する。また、通電は最初、10本の行配線を同時に駆動するため、240本の行配線を通電処理する場合、24ブロックの通電処理単位に分けられる。ここでは、活性化電圧の印加により表面伝導型放出素子基板44101に均等に電力が印加されるように、以下のように組み合わせを設定した。

【0357】

*よりの電位が印加される。またこの時、電流検出回路44103で活性化の進行状況を電流値をもとにモニタする。即ち、電流検出回路44103により各行配線を通れる電流値を検出してメモリ44111に格納する。こうして格納された値をもとに、後続のステップS14で活性化電流と配線抵抗により生じる電位降下の補償量を算出する。

【0358】次にステップS13に進み、1スクロールの終了を検出するまで、全ブロックの通電活性化処理と各行配線における電流検出を行う。

【0359】次にステップS14に進み、活性化の進行により、活性化電流と配線抵抗により生じる電位降下の補償電位を算出する。ここでは前述の式(3)により、各行配線毎の活性化電流と配線抵抗から補償電位値を算出することが可能である。各行配線において配線抵抗 $r_1 \sim r_n$ はほぼ等しいと考えてよく、行配線ごとのばらつきのみを補正するため、各行配線の配線抵抗値を予め測定してメモリ44111に格納しておく。そして複数の行配線を同時に駆動中も、電流検出回路44103により行配線毎の活性化電流を検出し、前述のステップS12に従ってメモリ44111に格納した各行配線の活性化電流値と配線抵抗値を用いて各行配線の補正電位値を算出する。

【0360】次にステップS15に進み、活性化の進行により、印加すべき補償電位値が行配線毎に変化するため、同時に選択する行配線の組み合わせも逐次更新する必要がある。そこで、同時に駆動する行配線の設定を行う。ここでは先ず、活性化電流が目標値(2mA/1素子)に達した行配線に接続されている素子は全て活性化が終了しているため、その行配線を選択することはないため選択すべき行配線から除外する。次に、同時選択ライン数決定回路44112がパネル投入電力量を基に同時に駆動すべき行配線数(以下、X)を“2”から“10”の間で決定する。次に活性化をすべき行配線を、ステップS12で算出した補償電位値が大きい行配線から順に並べ、補償電位値の似た行配線をX本ずつ同時選択する行配線として設定する。ここでスクロール駆動とは、行配線にパルス電圧を印加する構成において、ある行配線にパルス電圧を印加して、次のパルスを印加するまでの間に、他の行配線に(順次)パルスを印加することという。

【0361】こうしてステップS16に進み、全ての行配線の活性化電流値が目標値に達したか判断し、目標値に達した場合は活性化を終了する。一方、まだ活性化が終了していない場合はステップS12に戻って、再びスクロール駆動を開始する。この時の同時に選択する行配線の組み合わせと画素電極駆動回路44108からの補償電位値は、前述のステップS3、ステップS4で設定された値を用いる。ここでスクロール駆動とは、行配線にパルス電位を印加する構成において、ある行配線にパルス電位を印加して、次のパルスを印加するまでの間に他の行配線に(順次)パルスを印加することという。

【0362】このようにして表面伝導型放出素子基板44101の活性化を終了する。活性化電流と配線抵抗による電位降下を補償するため画素電極駆動回路44108の出力電位By1~Bynを逐次更新することで活性化の開始から終了まで全ての素子が略一定の電圧で均一に活性化され、かつ複数行配線を同時に選択して駆動することにより、1本の行配線ずつ選択して駆動していた場合に比べて、約1/4以下の処理時間で通電活性化処理が

完了した。

【0363】なお、本参考例10では、同時に選択駆動する行配線の数“2”から“10”の間で変化させたが本発明はこれに限定されるものでなく、上述した範囲内でさらに大きく変化させても良い。

【0364】なお、本参考例や他の参考例は、複数の機器(例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0365】また、本参考例や他の参考例の目的は、前述した参考例の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読出し実行することによっても達成される。

【0366】この場合、記憶媒体から読出されたプログラムコード自体が前述した参考例の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0367】プログラムコードを供給するための記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモ리카ード、ROMなどを用いることができる。

【0368】また、コンピュータが読出したプログラムコードを実行することにより、前述した参考例の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS(オペレーティングシステム)などが実際の処理の一部または全部を行い、その処理によって前述した参考例の機能が実現される場合も含まれる。

【0369】さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した参考例の機能が実現される場合も含まれる。

【0370】なお、本参考例では、複数の行配線の中から複数本の行配線を選択して電位を印加し、列配線の全てに電位分布を補正する電位を印加し、その選択された行配線を流れる電流値を検出するようにしたが、本発明はこれに限定されるものでなく、行配線と列配線とを入れ替えて、列配線の中の選択した配線に電位を印加し、電位分布を全ての行配線に印加する電位により補正しても良い。

【0371】以上説明したように本参考例によれば、表

面伝導型放出素子をマトリクス状に配線した表面伝導型放出素子基板を通電活性化により製造する際に、活性化時に配線抵抗と活性化電流による電位降下の影響で、素子に印加される電圧に不均一が生じて特性ばらつきが発生する現象を防いで、多数の表面伝導型放出素子を単純マトリクス配線した電子源が均一な電子放出特性を得られるような通電活性化を実現できるようになった。

【0372】同時に、非常に多くの素子を構成した表面伝導型放出素子基板を通電処理する場合の処理時間を短くでき、工程時間の短縮化を実現した。

【0373】以上説明したように本参考例によれば、多数の電子放出素子をマトリクス配線した電子源の電子放出特性の均一化を可能とし、かつ活性化に要する時間を大きく短縮できる。

【0374】また、電子放出素子を接続する配線の抵抗、および或は活性化済みの素子を流れる電流による影響を無くして、各電子放出素子の電子放出特性を均一化できるという効果がある。

【0375】【参考例11】

本参考例における通電活性化装置の構成は参考例9と同様である。この本参考例11においては、活性化時、同時に駆動するライン選択の選択方法が異なっており、これにより通電処理時間の短縮化と、素子の電子放出特性のさらなる均一化を実現したので以下に説明する。

【0376】本参考例11においては、これまで影響が少ないとして無視してきた列配線方向配線抵抗 R_y に生じる電位降下の影響を排するように同時に駆動するラインの選択方法を最適化し、補償電位を設定した。

【0377】参考例9においては、図47の等価回路で配線抵抗 R_y の影響は小さいとして無視してきた。しかしながら厳密には同時駆動ラインの選択方法によっては、 R_y の両端に生じる電位降下の影響が無視できなくなり、バッファアンプ44107の出力からの補償電位値が同時選択しているラインの位置によって変化し、電位降下補償の効果が損なわれてしまう場合がある。本参考例11はこのように列配線方向配線抵抗 R_y の影響を最も少なくするような駆動例を示す。

【0378】引き続き、本参考例11の装置により表面伝導型放出素子基板44101を活性化するステップについて説明する。本参考例11においても、活性化は全ての素子の I_f 値が目標となるように行う。この時、目標電流値は必要とする電子放出量などから予め求められ*

*る。本参考例11においては、最終的に表面伝導型放出素子基板44101上の各素子の素子電流を2mAになるように電流検出回路44103出力をモニタして、通電活性化処理を行った。また通電活性化の条件としては、参考例9と同様にパルス幅1ミリ秒、パルス高18Vの波形を印加し、時間短縮のため活性化は2ラインを単位として同時に通電処理を行った。

【0379】先ず、同時に複数のラインを選択して通電活性化を行う際に、列配線の配線抵抗の電位降下の影響と低減方法を説明する。

【0380】図52は、表面伝導型放出素子基板の行方向配線端子 $Dx2$ と $Dxm-1$ の2ラインを同時に選択し、通電活性化処理している様子を示す図である。

【0381】この時、行方向配線端子 $Dx2$ と $Dxm-1$ 上の素子に活性化電流と行方向配線抵抗で生じる電位降下分布はほぼ等しい。ゆえにこの2本は同時に選択され活性化用電源44104で駆動され、対向する列方向配線端子 $Dy1 \sim Dym$ からはバッファアンプ44107によって、電位降下を補償するような電位波形が印加されているとする(図48Bの駆動波形)。

【0382】この時、列方向配線抵抗の影響を検討するため、図52において、バッファアンプ44107の S_{yn} 出力から列方向配線端子 Dym に注目し、列配線番号 n 列目に接続された表面伝導型放出素子を配線抵抗も含めたモデルで現したのが図53である。図53によって、同時に複数のラインを選択して通電活性化を行う際に、生じる列配線方向配線抵抗の電位降下量の見積もりと本参考例11で行った補償方法を以下に説明する。

【0383】図53において、 $F1 \sim Fm$ は列方向配線端子 Dym 上の表面伝導型放出素子、 $Rx1 \sim Rxm$ は列配線 EYn における各部の配線抵抗である。

【0384】図52において、行方向配線端子 $Dx2$ と $Dxm-1$ 上の素子が通電活性化されており、図53においては素子 $F2$ と $Fm-1$ が活性化され、それぞれ活性化電流 i_2 、 i_{m-1} が流れているとする。これ以外の素子には、バッファアンプ44107の S_{yn} 出力電位と、GND電位が印加されるが、この電位差は一般に小さく、素子には電流がほとんど流れない。

【0385】この時、列方向配線上の $Gx1 \sim Gxm$ に列配線抵抗の影響で生じる電位降下を見積もっている。 Gxm 電位を基準とすると、

$$(式A1) \quad Gxm-1電位 = Gxm電位 + Rxm \times i_m = Gxm電位$$

$$(式A2) \quad Gxm-2電位 = Gxm-1電位 + Rxm-1 \times i_{m-1} \\ = Gxm電位 + Rxm-1 \times i_{m-1}$$

:

:

$$(式Am-2) \quad Gx2電位 = Gxm電位 + (Rxm-1 + Rxm-2 + \dots + Rx3) \times i_{m-1}$$

$$(式Am-1) \quad Gx1電位 = Gx2電位 + Rx2 \times (i_{m-1} + i_2) \\ = Gxm電位 + (Rxm-1 + Rxm-2 + \dots + Rx3 + Rx2) \times i_{m-1} + Rx2 \times i_2$$

69

70

$$\begin{aligned} \text{(式A)} \quad \text{端子Dyn電位} &= Gx1\text{電位} + Rx1 \times (i_{m-1} + i_2) \\ &= Gxm\text{電位} + (Rx_{m-1} + Rx_{m-2} + \dots + Rx_2 + Rx_1) \times i_{m-1} \\ &\quad + (Rx_2 + Rx_1) \times i_2 \end{aligned}$$

これらの結果から、バッファアンプ44107のSyn出* *力電位を基準とすると

、Gx2電位、Gxm-1電位の電位降下量 Δ は、

$$\Delta Gx2 = (Rx_2 + Rx_1) \times (i_2 + i_{m-1})$$

$$\begin{aligned} \Delta Gxm-1 &= (Rx_{m-1} + Rx_{m-2} + \dots + Rx_2 + Rx_1) \times i_{m-1} \\ &\quad + (Rx_2 + Rx_1) \times i_2 \end{aligned}$$

となる。これが、行配線端子Dx2とDxm-1を同時に通電活性化時に、列方向配線上のGx1~Gxmに列配線抵抗の影響で生じる電位降下量である。この電位降下量 Δ は、

・列配線抵抗値

・活性化電流量

・列配線上のどの素子が選択されているか

によって決ることが分かる。

【0386】このうち、列配線抵抗値Rx1~Rxmはほぼ一定で、活性化電流量もほぼ一定になることを考えると、これが、列方向配線上のGx1~Gxmに列配線抵抗の※

$$\Delta V = |\Delta Gx2' - \Delta Gxm-1'|$$

$$= (m-3) \cdot Rx \cdot i$$

この ΔV が列方向配線抵抗によってGx2とGxm-1で生じる電位降下量の差である。

【0389】また、図53はバッファアンプ44107のSyn出力に注目し電位降下量を見積もったが、 $\Delta Gx2'$ や $\Delta Gxm-1'$ の関係や ΔV の値は、活性化電流量と配線抵抗値が同じならばSylからSyn出力の何れでも同じであることが分かる。

【0390】つまり ΔV によって列方向配線抵抗の影響を算出することができ、 ΔV が大きい場合は、Dx2とD★

$$\Delta V_{\text{offset}} = (1/2) \times (\Delta Gx2' + \Delta Gxm-1')$$

$$= (1/2) \times (m+5) Rx \cdot i$$

…(式C)

の値をバッファアンプ44107の出力SylからSynにオフセット量として差し引くことにより、行方向配線端子Dx2とDxm-1上の素子を同時に通電活性化処理する際の列配線抵抗の影響で生じる電位降下の影響を低減できる。

【0393】本参考例11においても、参考例9と同様に、活性化の進行と共に同時に駆動すべきラインを逐次変更し、活性化の進行が同じライン2本を束ねて駆動した。この時、本参考例11においては上記のように、列

【0394】この詳細について図54のフローチャートにより説明する。説明をわかりやすくするため、表面伝導型放出素子基板の行方向配線数nは480本あるものとして以下説明する。

(ステップS21)～初期駆動条件設定

活性化開始の指令により、制御回路44106は通電活性化を開始する。まず、活性化の開始時の初期駆動条件☆

ブロック1：行方向配線ch1と行方向配線ch241

※影響で生じる電位降下の影響は、列配線上のどの素子が選択されているかによってほぼ決定されると言える。

【0387】つまり、Rx1~Rxm=Rx $i_2 = i_{m-1} = i$ として、

$$\Delta Gx2' = 4 \cdot Rx \cdot i$$

$$\Delta Gxm-1' = (m-1) \cdot Rx \cdot i + 2 \cdot Rx \cdot i = (m+1) \cdot Rx \cdot i$$

これにより ΔV を以下のようにして算出し、列方向配線抵抗の影響評価量と定義する。

【0388】

…(式B)

★xm-1の2ラインを同時に選択して良いかを検討することになる。即ち、予め設定しておいた許容設定電圧値と ΔV を比較し、許容設定電圧値< ΔV の場合は、違うラインを同時選択ラインの組み合わせとして選ぶ。

【0391】さらに、列方向配線上のGx1~Gxmに列配線抵抗の影響で生じる電位降下の影響はバッファアンプ44107出力にオフセット値 ΔV_{offset} を加算することで低減できることが分かる。

【0392】つまり、上記の場合は、

☆設定を行う。初期駆動条件として設定する項目は、画素電極駆動回路44108出力電位の初期電位値設定と、同時選択ラインの設定の2つである。

【0395】画素電極駆動回路44108の初期電位値設定は以下のように行った。駆動初期時、活性化電流はそれ程流れないため活性化電流と配線抵抗により生じる各素子印加電圧の不均一の問題は生じない。従って画素電極駆動回路44108から印加する補償電位量は全て0Vとなるように設定する。また通電は2ライン同時に駆動を行うため、480本の行方向配線を通電処理する場合、240ブロックの通電処理単位に分けられる。この240ブロックの割付を行うのが“同時選択ラインの設定”である。活性化の始まりにおいては、どのラインも同一と考えてよいため、どのように2本を組み合わせても問題はない。ここでは、活性化電圧印加時に表面伝導型放出素子基板44101上ほぼ均等に電力が印加されるように、以下の様に組み合わせを設定した。

【0396】

71

72

ブロック2:行方向配線ch2と行方向配線ch242

:

:

ブロック240:行方向配線ch240と行方向配線ch480

(ステップS22)〜スクロール駆動開始

ステップS21の設定に基づいて駆動条件を設定後、活性化を開始する。行方向配線2本ずつ同時に駆動を行う。駆動ラインの選択は同時選択ラインの設定値に基づいて決められ、駆動ライン設定信号としてタイミング回路44105に転送される。タイミング発生回路44105はラインセレクト信号を出力し、ライン選択回路44102で2本のラインが同時に電源44104で駆動される。またこの時、活性化の進行をモニタして活性化電流と行方向配線抵抗により生じる電位降下の補償量を算出するため、電流検出回路44103により各行方向配線を通る電流値を検出しメモリ44111に格納する。

(ステップS23)〜1クスロールの終了検出

240ブロックの通電活性化処理と各ラインの電流検出の終了を待つ。

(ステップS24)〜分布電位値の算出

活性化の進行により、活性化電流と行方向配線抵抗により生じる電位降下の分布を算出する。前述の参考例9の式(1)により、各ライン毎の活性化電流と配線抵抗から行方向配線抵抗で生じる電位分布量を算出することが可能である。各ラインにおいて配線抵抗 $r1 \sim rm$ は、ほぼ等しいと考えてよく、ライン毎のばらつきのみを補正するため、ライン毎の配線抵抗値を予め測定してメモリ44111に格納しておく。同時に2ラインを駆動中も、電流モニタ回路44103によりライン毎に活性化電流を検出し、ステップS22に従ってメモリ44111に格納した各ライン毎の活性化電流値と行方向配線抵抗値を用いて各ライン毎に分布電位値を算出し、メモリ44111に格納する。

(ステップS25)〜同時選択ラインの設定

活性化の進行により、印加すべき補償電位値がライン毎に変化するため、同時選択ラインの組み合わせも逐次更新する必要がある。そこで(ステップS24)により、同時に駆動する選択ラインの設定を行う。まず、活性化電流が目標値(2mA/1素子当り)に達したラインは活性化をしないため、選択ラインから外す。次に活性化すべきラインを(ステップS25)で算出した分布電位値が大きいものから順に並べ、電位値の似たラインを2本ずつ同時選択ラインとして仮に設定する。

【0397】この時選択ラインとして隣り合った2ラインが選択されると、表面伝導型放出素子基板の一部に電力集中してしまう可能性がある。そこでライン1〜480を1〜240のブロックA、ライン241〜480のブロックBの2つに分け、2本の同時選択ラインをブロックA、ブロックBから各1本ずつ選択するようにし

*た。

【0398】次に、列配線抵抗の電位降下の影響を、前述の(式A1)から(式Am)及び(式B)に従って評価する。その結果、列配線抵抗の電位降下の影響量 ΔV が許容設定値100mVを超える場合は同時選択ラインの再設定を行う。同時選択ラインの再設定の際は、選択する2ラインが近接するように組み合わせを変更し再び ΔV を(式A1)〜(式Am)及び(式B)に準拠して再算出する。

【0399】全てのブロック(240)に対して ΔV が許容値以下になる若しくは、許容値に最も近づくように同時選択ラインの設定を行う。

【0400】また、(式C)に従って、 ΔV の影響をもっとも低減できるオフセット値 ΔV_{offset} を240ブロック分算出し、メモリに格納する。

20 (ステップS26)〜補償電位の算出

(ステップS24)で算出された分布補償電位に、(ステップS25)の240ブロック分のオフセット値 ΔV_{offset} を加えた補償電位値を算出し、メモリに格納する。

(ステップS27)〜活性化終了判断

全てのラインの活性化電流値が目標値に達したか判断し、目標値に達した場合は活性化を終了する。活性化が終了していない場合は、(ステップS22)に戻って、再びスクロール駆動を開始する。この時の同時選択ラインの組み合わせと画素電極駆動回路44108からの補償電位値は、(ステップS26)で設定された値を用いる。

【0401】このようにして表面伝導型放出素子基板44101の活性化を終了する。活性化電流と配線抵抗による電位降下を補償するための画素電極駆動回路44108出力By1〜Bynを逐次更新することで活性化の開始から終了まで全ての素子が一定の電圧で均一に活性化され、かつ2ラインを同時に駆動することにより、1ラインずつ通電活性化していた場合に比べ、半分の処理時間で通電活性化処理が完了した。

40 【0402】以上説明したように本参考例11の通電活性化装置によれば、全ての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度または濃度のばらつきが少ない高品位な画像表示装置が実現された。

【0403】[実施の形態1]

本実施の形態1における通電装置の全体構成は参考例9(図44)と同等である。本実施の形態1では、行配線への電位の印加は図44に示す様に片側のみから行うのではなく、行配線の両側から行う様にした。

【0404】図55は、活性化電圧を印加している3本

* 50

(Dx1及びDx161、Dx321)の行配線のうちDx1に着目し、各表面伝導型電子素子放出素子の配線抵抗を含めたモデル図である。以下、表面伝導型放出素子群の活性化について説明する。

【0405】図5において、F1～Fnは、行配線端子Dx1ライン上の表面伝導型放出素子、r1～rnは行配線Dx1の配線抵抗、Ry0は各列配線Dy1～Dynの給電端から表面伝導型放出素子までの配線抵抗、Ry1はラインDx1とラインDx161との間の列配線抵抗、Ry2はラインDx161とラインDx321との間の列配線抵抗を示している。ここで、行配線、列配線とも一定の線幅、厚さ、材料で形成されるように設計されているため、製造上のばらつきを除けばr1～rnは等しいと考える。また、Ry0、Ry1、Ry2の各々の抵抗値もほぼ同抵抗値で製造されていると考える。

【0406】なお、通電活性化の前後で、表面伝導型放出素子の等価抵抗値は変化(減少)するが、Ry0、Ry1、Ry2の値に比べ各表面伝導型放出素子の等価抵抗は非常に大きいため、列配線の電圧降下の影響は無視して考える。また表面伝導型放出素子F1～Fnの等価抵抗値は、r1～rnに比べて大きく設計している。

【0407】また、行配線Dx1及びDx161、Dx321の3行の行配線を同時に活性化するために、ライン選択回路44102が制御される。具体的には、まず制御回路44106(図44)から出力される駆動ライン設定信号及びCLK信号によって、タイミング発生器44105(図44)がラインセレクト信号を発生する。ライン選択回路44102は、ラインセレクト信号が入力されると、行配線端子Dx1及びDx161、Dx321に、活性化電位Eacを出力する電源44104及び電流検出回路44103を接続する。これにより上記3ラインは活性化電位Eacで駆動される。

【0408】バッファアンプ44107は、行配線Dx1においてはF1～Fnからの活性化電流i1～inとDx161及びDx321のラインの各々の活性化電流とをシンクするように動作する。バッファアンプ44107の増幅度は、画素電極駆動回路44108によって決定されている。

【0409】図56は、行配線Dx1及びDx161、Dx321の各々に流れる素子電流If1及びIf161、If321を示す図である。図56によると、3ラインとも活性化の初期状態では電流が流れず、徐々に活性化が進行するとともに、電流が流れていることがわかる。

【0410】活性化がある程度進行すると、素子電流If1及びIf161、If321で活性化電流の値が異なる現象がみられる。これらの活性化電流のばらつきの要因としては、例えば基板の片面積化に伴い表面伝導型放出素子の形成時でのばらつきや、フォーミング時での亀裂形成のばらつき等が考えられる。

*【0411】図57は、行配線Dx1の表面伝導型放出素子を活性化するときの電位分布を示す図である。図4中、縦軸は素子両端の端子電位を示している。横軸は表面伝導型放出素子F1～Fnの位置を示している。なお、電源44104は、例えば16Vの活性化電位Eacを各行配線Dx1及びDx161、Dx321に印加している。

【0412】図57では、活性化が進行した場合の分布図を示している。配線抵抗の影響で、中央部の表面伝導型放出素子の電圧が行配線側で低下している。活性化の初期状態では、図56に示したように未だ活性化電流が流れないため、補償電位は0V近辺に設定される。

【0413】続いて、図44、図55～図57を用いて、本実施の形態1の通電活性化装置によって表面伝導型放出素子基板44101を活性化する手順について説明する。

【0414】なお、本実施の形態1では、活性化工程の時間を短縮するために、行配線3本を同時に通電処理する場合の説明をする。その際、表面伝導型放出素子基板44101での行配線ライン数を仮に480本としたとき、行配線端子Dx1、Dx161、Dx321の3本を同時駆動する開始ラインとし、3本の活性化電流の平均値から列配線に印加する補償電位を決定している。

【0415】まず、図44に示すように制御回路44106は、ユーザから活性化開始の指令が入力されると、行単位で通電処理を行うためにタイミング発生回路44105、電源44104及び画素電極駆動回路44108を制御する。列配線端子Dy1～Dymがグランド電位になるように設定出力値44110を設定する。そして、例えばパルス幅1m秒、パルス高18Vである順次活性化電位Eacのパルス波を、行配線端子Dx1～Dxmに印加する。これにより、表面伝導型放出素子基板44101は行配線単位に順次パルス電圧が印加され、活性化をライン単位で開始する。

【0416】次に、画素電極駆動回路44108から出力される補償電位の設定方法について説明する。

【0417】通電活性化を行う際、素子の電気特性は図41に示すような変化をする。すなわち、活性化を開始した直後には素子電流がほとんど流れず、通電時間とともに素子電流が流れて飽和する。このとき、図55に示すように、行配線Dx1上の表面伝導型放出素子群の端子電位をモニタすると、配線抵抗R1～Rnの影響で電位v1～vnは変化する。この電位変化は活性化の進行と共に大きくなる。

【0418】例えば、活性化電流2mA/1素子、r1～rn=10Ω、n=1000の場合、片側(F1側)からのみ電源44104によって給電した場合には、給電端から最も遠い表面伝導型放出素子Fnの端子vnにおいては、

$$\Delta V = (1/2) \times 1000 \times 10001 \times 2\text{mA} \times 10\text{m}\Omega \quad (\text{式4})$$

75

となり、最大10Vもの電位差が生じることになる。

【0419】そこで、この電位の分布と同じ電位分布を画素電極駆動回路44108で発生させ、各表面伝導型放出素子に生じる電位分布をキャンセルするようにバッファアンプ44107を介して、Dy1~Dyn端子に電位を印加する。

【0420】すなわち、活性化の進行に伴って、各表面伝導型放出素子F1~Fnに流れる電流と配線抵抗r1~rnとによって、端子v1~vnに生じる電位降下分布を制御回路44106で演算し、画素電極駆動回路44108のD/Aコンバータの出力値を設定することで、列配線側に電位降下分による補償電位の設定が実現できる。

【0421】本実施の形態1では、行配線を複数同時に選択して電位を印加する手法（マルチライン駆動と称する）を行っており、行配線Dx1及びDx161、Dx321の3本を同時に駆動している。また、行配線への活性化電位の印加は、F1~Fnの配線の両側から電圧を印加している。

【0422】ライン選択回路44102より選択された行配線の両側に電源44104から所定の電位が印加されると、行配線Dx1及びDx161、Dx321に、各々If1及びIf161、If321の活性化電流が流れる。

$$\begin{aligned} \text{Dyn} &= (1/2) \times rn \times n \times (n+1) \times i_{ave} \\ n &= F1 \sim Fn/2 \end{aligned} \quad (\text{式5})$$

ただし、Fn/2以降の画素番号は、 $n = Fn - n'$ (n' は $Fn/2 \sim Fn$) までの画素番号として計算される。

【0427】以上のような算出方法によって、マルチライン駆動を行っている行配線を流れる活性化電流値の平均素子電流Ifをもとにして列配線側の補償電位を決定している。補償電位は、画素電極駆動回路44108からバッファアンプ44107を通して列配線Dy1~Dynの端子に出力され、補償電位の設定は活性化プロセスが終了するまで行われる。

【0428】そして、活性化の終了条件としては、マルチライン駆動している各行配線の活性化電流から、各素子の平均素子電流Ifが一定値に達した場合（例えば、各素子が2mAとなったとき）、或いは活性化電流がある程度流れた時点から時間的な制御を行う場合などがある。

【0429】以上説明したように、本実施の形態1では行配線の3本を同時に駆動して、活性化を同時に進行させることで工程時間の短縮を図る。本実施の形態1においては、表面伝導型放出素子基板44101は、表面伝導型放出素子を単純マトリックス配線によって構成しているため、補償電位の印加はマルチライン駆動している行配線に対して共通である。

【0430】しかし、行配線ごとに流れる活性化特性（活性化電流）は必ずしも一定ではなく、各々にばらつきがある。従って、各行配線ごとに算出される補償電位※50

76

*【0423】本実施の形態1では、マルチライン駆動する行配線の平均活性化電流Ifaveを算出し、それに対する列配線側の補償電位を算出してそれを印加する方式を用いている。平均活性化電流Ifaveの算出は、設定時間ごとに、マルチライン駆動しているラインの電流値の検出を逐次行い、検出した電流値を、電流検出回路44103から活性化電流44109として制御回路44106に入力して、制御回路44106においてされる。そして、算出した平均活性化電流Ifaveから補償電位の算出を行う。

【0424】本実施の形態1では、行配線への活性化電位の印加は、行配線の両側から電位印加を行うため、配線抵抗による電位降下としては行配線での中央付近が最も大きくなる。行配線の両側から電位を印加する場合には、図55に示す電源44104は、行配線Dx1ではaとa'とが接続され、行配線Dx161ではbとb'とが接続され、行配線Dx321ではcとc'とが接続される。

【0425】従って、上記の印加方法により補償電位出力は、以下のように求められる。なお、1つの電子放出素子に流れる素子電流の平均値をiaveとすると、iaveはIfave/nとなる。

【0426】

※にも当然電位差が生じる。そのため、マルチライン駆動を行うときには、列配線側に印加する電位の設定が重要となってくる。

【0431】補償電位の設定は、実際に活性化する素子に印加される電圧のばらつきを少なくすることが必要である。そのため、特定の行配線の活性化電流にあわせて行くと、印加電圧にもばらつきが大きくなることが懸念される。

【0432】本実施の形態1では、このような行配線のライン毎の特性ばらつきに対してより均一に素子の活性化を行うために、列配線に出力する補償電位を、マルチライン駆動している行配線の平均活性化電流から算出することにより、行配線ごとに素子特性のばらつきを最小限に抑えるための駆動を行っている。

【0433】図58は、活性化を実現させるためのフローチャート図である。図58を用いて活性化を実現するための説明をする。

（ステップS31）

ユーザによって活性化開始の指令が入力されると、まず、活性化の開始時に、制御回路44106は同時駆動する行配線の選択条件などを設定する。この設定は、マルチライン駆動を行うに当たって、同時駆動する行配線の本数、駆動する行配線のライン間隔及び間引き間隔の3つの設定である。本実施の形態1で行うマルチライン駆動は、選択した複数の行配線を1ブロックとしてとら

え、ブロックごとに順々に電圧を印加していく。

【0434】この実施の形態1では、同時駆動する行配線の本数を3本とし、同時駆動する行配線のライン間隔を160本とし、間引き間隔の間引きの間隔を行配線10本としている。同時駆動する行配線の本数の設定は、上記のブロック単位ごとの駆動により、表面伝導型放出素子基板44101に通電する電力量と通電時の発熱とを考慮して最適に設定している。

【0435】駆動ラインの間隔とは、3本の行配線を同時に駆動するときの、例えばラインDx1及びDx161、Dx321の各行配線の間隔をいう。本実施の形態1では、上記のように駆動ライン間隔を160本としている。駆動ライン間隔の設定も、表面伝導型放出素子基板44101での通電電力による熱分布の集中を考慮して、表面伝導型放出素子基板44101の全域に均等に指定する必要がある。

【0436】間引き間隔とは、同時駆動を行うときのブロック間隔をいう。本実施の形態1では、最初に行配線Dx1及びDx161、Dx321の駆動をする。その後選択する行配線としては、間引き間隔を10本と設定しているため、Dx11及びDx171、Dx331である。即ち、3本×10単位の30本を1ブロックとして、順次1単位ごと1～10単位を繰り返しながら活性を行う。そして、ブロック単位としての設定したライン選択条件は、

単位	選択する行配線		
1	Dx1	Dx161	Dx321
2	Dx11	Dx171	Dx331
3	Dx21	Dx181	Dx341
.			
.			
10	Dx91	Dx251	Dx411

となる。このような設定が終了すると、ステップS32に移行する。

【0437】ステップS32では、表面伝導型放出素子の活性化を行う。マルチライン駆動として3本の行配線を同時に駆動するために、制御回路44106は、ステップS31で行った行配線の選択条件などを設定の設定信号をタイミング回路44105に設定する。タイミング回路44105は、駆動する行配線を認識し、ラインセレクト信号をライン選択回路44102に出力する。

【0438】このラインセレクト信号により、所定の行配線のFETリレーをオンにして、行配線を電源44104側と接続し、選択した行配線を駆動する。ブロックごとに活性化を開始すると、電流検出回路44103は、駆動する行配線の活性化電流を検出し、その電流値はメモリ44111に格納される。

【0439】ステップS33では、1ブロック（本実施の形態1では30本）の活性化の終了と活性化電流の検出の終了とを確認する。これらを確認するとステップS

34へ移行する。

【0440】ステップS34では、補償電位の算出を行う。まず、ステップS33においてメモリ44111に格納している活性化電流から平均活性化電流I_{fave}を算出する。平均活性化電流I_{fave}は、マルチライン駆動を行っている行配線ごとに算出する。

【0441】従って、ステップS31で述べたように、選択した行配線をブロックごとに順次活性化し、間引き間隔を10本としていることから、3本の行配線を同時に活性化する場合には、1～10単位までの平均活性化電流I_{fave}を求めることができる。また、平均活性化電流I_{fave}は、活性化が進行して行く途中で電流検出のサンプリング設定を行う。このことによって、所定の時間ごとにマルチライン駆動している行配線の電流を検出し、最新の平均活性化電流I_{fave}をメモリ44111に格納していく。

【0442】次に、求めた平均活性化電流I_{fave}から、制御回路44106において列配線側の補償電位の算出を行う。この補償電位の算出は、式(5)を用いて求めることができる。各々の列配線の配線抵抗r₁～r_{n-1}は、予め計測してメモリ44111に格納しておく。補償電位も平均活性化電流I_{fave}の更新に伴い逐次計測する。また、必要に応じて補償電位値もプロセスの進行に伴い変化するため、メモリ44111に格納することもできる。

【0443】ステップS35では、ステップS34でマルチライン駆動ごとに算出した補償電位値を、画素電極駆動回路44108及びバッファアンプ44107によって列配線に順次印加する。本実施の形態1では、マルチライン駆動をブロック単位として行っていることから、1つの活性化プロセスのライン数は30ラインとなる。

【0444】活性化プロセスにおいては、1プロセス単位での設定はブロック単位として限定することではなく、複数のブロックを予め設定することもできる。

【0445】最後に、ステップS36で活性化プロセスが進行し、マルチライン駆動しているラインの活性化が終了したことを判断する。活性化が終了していない場合にはステップS32に戻って再びブロックごとに活性化する。

【0446】活性化の終了する条件は、活性化電流を検出しながら各表面伝導型放出素子の活性化電流が一定値に達した場合に終了する場合と、活性化の開始から終了時間を規定して行う場合とがある。各表面伝導型放出素子の電流値が一定値に達した場合に終了するには、行配線ごとに活性化状況を制御回路44106によって把握する必要がある。一方、活性化時間で制御する場合に、活性化が均一になるような時間設定が必要である。本実施の形態1では、後者による条件で活性化を終了することとしている。

【0447】以上のようにして、表面伝導型放出素子基板44101の活性化が終了する。上記のような手順を実行することで、1行配線ずつ駆動していた場合に比べ1/3のプロセス時間で活性化が終了する。

【0448】なお、本実施の形態1では、マルチライン駆動を、3本の行配線で行った場合について述べたが、同時駆動数はこれに限定するものではなく、活性化の処理時間を更に短縮させるための表面伝導型放出素子基板44101内の発熱等を考慮し、同時駆動する行配線数を増やすこともできる。

【0449】また、本実施の形態1では、電源44104からの出力を正極として印加するが、印加電位の極性はこれとは逆の負極性でもよく、その場合には列配線側に流れ込む電流の向きが逆となるため、バッファアンプ44107からの補償電位の極性も逆となる。

【0450】さらに、画素電極駆動回路44108は、列配線と同じ数のD/Aコンバータを備えているが、補償電位の分布は図57に示したように穏やかに変化するため、D/Aコンバータの数を間引いて印加すべき電位を抵抗等で分割して電位を規定してもよい。

【0451】また、活性化のプロセスにおいては補償電位値の更新も、本実施の形態1で示したように1ブロックごとに行わなくても、活性化の進行に合わせて適宜行ってもよい。

【0452】以上説明したように、本実施の形態1によって活性化工程を行うことで、電子放出特性にばらつきの少ない比較的均一な表面伝導型放出素子を形成することができる。これにより、表面伝導型放出素子基板44101を用いて表示パネルを作成すると、ばらつきの少ない高品位なものを実現することができる。また、マルチライン駆動での同時駆動ライン数を増やすことで、活性化時間を著しく短縮させることができる。

【0453】〔実施の形態2〕

次に実施の形態2について説明する。本実施の形態2の活性化工程における通電活性化装置及びそれを構成する回路構成は図44と同じである。

【0454】本実施の形態2と実施の形態1とは、補償電位を算出するために平均素子電流If値を用いる点で同じである。しかし、同時駆動する行配線をより特性の似通っているものを選択することによって、素子電流Ifの平均値の信頼性を高め、補償電位を算出する精度を向上することを目的としている。

【0455】マルチライン駆動を行い、複数の行配線を駆動した場合には、各行配線の活性化電流値Ifのばらつきの要因として以下のことが考えられる。

【0456】まず、実施の形態1でも述べたように、表面伝導型放出素子をフォーミングするときのばらつき、表面伝導型放出素子を形成するときでのばらつきがあると考えられる。また、マトリックス配線上での物理的な結果（断線/ショート）もばらつきの原因であると考え

られる。実際パネルを作成していく上では、表面伝導型放出素子の特性のばらつきなどによってばらつきが生じることが多い。

【0457】しかし、マルチライン駆動をしていく途中で駆動ラインの中に、他の行配線と比べ若しくは活性化電流が大きい或いは小さいものがあると、同時に駆動する行配線の素子電流Ifの平均値は、その行配線の影響を受ける。そのため、算出する補償電位値も最高値とならない場合がある。

10 【0458】このような問題点を考慮して、本実施の形態2ではマルチライン駆動している各行配線ごとに活性化電流を求めた後に、一旦、平均活性化電流Ifaveを算出する。そして、次にマルチライン駆動の各行配線の活性化電流のMAX値とMIN値とを求める。これらに該当する行配線を抜粋し、予め求めた平均活性化電流Ifave値に対しての値を各々求める。

【0459】次に、平均活性化電流Ifaveと、ステップS32において検出した抜粋したMAX値とMIN値とにかかる各々の行配線の電流値との差を計算し、その値によって抜粋した行配線が補償電位の算出用の対象ラインとしてふさわしいかどうか判断を行う。以上の処理を施した後、あらためて補償電位を算出するための平均活性化電流Ifaveを求め、列配線側の補償電位値を算出する。

【0460】図59は、本実施の形態2の活性化を実現するためのフローチャートである。図59を用いて活性化を実現するための説明をする。説明の便宜上、表面伝導型放出素子基板44101の行配線及びマルチライン駆動ラインは実施の形態1と同様である。

30 (ステップS41)

ユーザによって活性化開始の指令が入力されると、制御回路44106は通電活性化の開始と共に、実施の形態1と同様に行配線の選択条件の設定を行う。この設定は、マルチライン駆動を行うに当たって、同時駆動を行う本数、駆動する行配線のライン間隔及び間引き間隔の3つの設定である。

【0461】本実施の形態2で行う活性化においても、選択した行配線をブロックごとに順次しながら電位を印加していく方法を採用する。従って、実施の形態1と同様に、間引き間隔を10本とし、3本の行配線を同時に活性化する場合には、 $3 \times 10 = 30$ 本をブロック単位とする。同時駆動の本数の設定は、上記のブロック単位ごとの駆動により、表面伝導型放出素子基板44101に通電する電力量と発熱とを考慮して最適に設定する。

【0462】駆動ライン間隔は、本実施の形態2でも160本とする。駆動ライン間隔の設定も、実施の形態1と同様に表面伝導型放出素子基板44101での通電電力による熱分布の集中を考慮して、表面伝導型放出素子基板44101の全域に均等に設定する必要がある。

50 【0463】間引き間隔の設定も、実施の形態1と同様

81

に、10本に設定する。よって、1ブロックの駆動パターンは、実施の形態1と同様なものとなる。この設定を終了すると、ステップS42に移行する。

(ステップS42)

ステップS42では、表面伝導型放出素子の活性化を開始する。マルチライン駆動として、3本の行配線を同時駆動するために、制御回路44106は駆動する行配線の設定信号をタイミング回路44105に出力する。タイミング回路44105は、駆動する行配線を認識し、ラインセレクト信号をライン選択回路44102に出力する。

【0464】ラインセレクト信号により、所定の行配線のFETリレーをオンにして、行配線を電源44104側と接続し、選択した行配線を駆動する。ブロックごとに活性化を開始すると電流検出回路44103により駆動する行配線の活性化電流を検出して、その電流値をメモリ44111に格納する。

【0465】ステップS43では、1ブロック（本実施の形態2では30本）の活性化の終了と活性化電流の検出の終了とを確認する。これらの終了を確認すると、ステップS44へ移行する。ステップS44では、補償電位を算出する。そのために、制御回路44106は、マルチライン駆動している行配線から補償電位を算出するための対象ラインを選択する。

【0466】図56に示したように、行配線Dx1及びDx161、Dx321の活性化電流の平均値I_{fave}を、メモリ44111に格納している活性化電流値から求める。次に各行配線にかかる活性化電流値のMAX値とMIN値とを検出する。検出に用いる電流値は、計測更新時の最新値である。本実施の形態2では、マルチライン駆動している行配線が3本であるため、その中の2本がMAX値或いはMIN値として選択されることになる。

【0467】そして、選択されたMAX値、MIN値に対し、予め求めた平均活性化電流I_{fave1}値をもとに、以下の計算をする。

【0468】

$$\text{MAX値} - \text{I}_{\text{fave1}} = \Delta \text{I}_{\text{fa}}$$

$$\text{I}_{\text{fave1}} - \text{min値} = \Delta \text{I}_{\text{fb}}$$

以上の計算によって求められた $\Delta \text{I}_{\text{fa}}$ 及び $\Delta \text{I}_{\text{fb}}$ から、抜粋したMAX値にかかる行配線とMIN値にかかる行配線とが補償電位の算出用の対象ラインに該当するかどうか判断する。この判断は、 $\Delta \text{I}_{\text{fa}}$ 及び $\Delta \text{I}_{\text{fb}}$ がマルチライン駆動しているなかで、著しく特性が異なっているかどうかの判断を行うものであり、予め設定している許容値と比較する。

【0469】本実施の形態2では、許容値である電流値を例えば1Aと設定し、平均活性化電流I_{fave1}値に対して、1A以上の電流差のある行配線を対象ライン外とする。この手順を行うことで、前述したばらつき要因による補償電位のずれを少なくすることができる。また、

82

本実施の形態2では、マルチライン駆動をしているラインが比較的多いほど有効であり、例えば2ラインのマルチライン駆動時では、実施の形態1において説明した手順を採用する方が適している。

【0470】本実施の形態2では、マルチライン数を3本として説明したが、同時に駆動するライン数を増やした場合、MAX値、MIN値にかかる行配線以外の行配線の電流値が許容値異常である場合には、それらの行配線についても、以下の手順によって、補償電位値のばらつきの減少を実現することができる。

【0471】まず、上記のような補償電位を算出する対象ラインの判別を行い、例えばMAX値にかかる行配線の活性化電流値が許容値以上であるために対象ラインから外れた場合には、MAX値にかかる行配線の次に大きい活性化電流が流れる行配線を抜粋し、この行配線を流れる活性化電流の電流値が許容値以上であるか否かの判断する。

【0472】許容値未満の場合には、その行配線を対象ラインとする。一方、許容値以上の場合には、さらにその行配線の次に大きな活性化電流が流れる行配線を選択して、その行配線に対して上記の判断処理を行う。一方、MIN値に対する判断も上記と同様に行う。

【0473】以上のような手順を繰り返し実行することで、同時駆動する行配線の本数が多い場合でも、同時駆動する行配線の本数が少ない場合と同様に対象ラインを選択することができる。

(ステップS45)

以上の処理を施した後、あらためて補償電位の算出のための平均活性化電流I_{fave}値を求め、その値から列配線に印加する補償電位を算出する。平均活性化電流I_{fave}は、活性化していく途中で電流検出のサンプリング設定を行い、所定の時間ごとにマルチライン駆動している行配線の電流を検出し、最新の平均活性化電流I_{fave}値をメモリ44111に格納する。

【0474】次に、求めた活性化電流I_{fave}から、列配線側の補償電位の算出を行う。補償電位は、実施の形態1において説明した式(5)から算出することができる。配線抵抗rは、予め各行配線の配線抵抗を計測してメモリ44111に格納しておく。補償電位値も平均活性化電流I_{fave}値の更新に伴って逐次更新され、必要に応じてメモリ44111に格納することもできる。

(ステップS46)

最後に、活性化プロセスが進行し、マルチライン駆動している行配線の活性化が終了したことを判断する。活性化が終了していない場合には、ステップS42に戻って再びブロックごとに活性化する。

【0475】活性化の終了する条件は、実施の形態1と同様に活性化電流を検出しながら各表面伝導型放出素子の活性化電流が一定値に達した場合に終了する場合と、活性化の開始から終了時間を規定して行う場合とがあ

る。各表面伝導型放出素子の電流値が一定値に達した場合に終了するには、行配線ごとに活性化状況を制御回路44106等によって把握する必要がある。一方、活性化時間で制御する場合には活性化が均一となるような活性化時間を設定が必要となってくる。本実施の形態2では、後者による条件で活性化を終了することとしている。

【0476】[実施の形態3]

図60は、本実施の形態3の活性化を実現するためのフローチャートである。なお、本実施の形態3では、活性化プロセスにおける装置及び駆動回路、表面伝導型放出素子基板の構成は、実施の形態1と同様である。

【0477】本実施の形態3では、各表面伝導型放出素子に印加する活性化電圧の最低値を補償することを目的としている。即ち、マルチライン駆動している全ての行配線に対して、予め定めている最低限の活性化電位値以上の活性化電位を各表面伝導型放出素子に印加する。

【0478】電位降下が最も大きい行配線では、行配線の中央部での電位降下が最も大きくなることから、実際に表面伝導型放出素子に印加している電圧値は低い、また、補償電位は、複数の平均活性化電流Ifから求めたものであるため、電位降下の大きい行配線上の表面伝導型放出素子には、本来印加されるべき活性化電圧よりも低い活性化電圧が印加される。そこで、上記のように、マルチライン駆動しているすべての行配線に対して、最低限の活性化電圧値以上の活性化電圧を各表面伝導型放出素子に印加できるようにする。

【0479】具体的には、活性化工程時に、表面伝導型放出素子に流れる活性化電流Ifと行の配線抵抗の影響とによって生じる電位降下が最も大きい行配線を選択し、その行配線の素子電流If値が予め定めた閾値に対してどの程度の差(ΔIf)があるかを算出する。即ち、 ΔIf は、マルチライン駆動している行配線のなかで、最も活性化電流が大きい行配線が、予め定めた閾値電流値を越える場合に対して算出されるものである。これによって、補償する活性化電圧の最低値を算出する。

【0480】算出した ΔIf から列配線側の補償電位値 ΔX を求め、これを電位降下が最も大きいラインの補償電位に加えることで、行配線の表面伝導型放出素子に印加する活性化電圧を最低活性化電圧として確保する。このようにして、最低限の活性化電圧値以上の活性化電圧を各表面伝導型放出素子に印加する。

【0481】また、活性化工程以降の処理工程において、行配線を1本ごとに駆動する場合には、上記のように低い活性化電圧で活性化された表面伝導型放出素子は、活性化電圧以上の素子電圧が印加される場合もある。そのような場合には、活性化工程によって素子特性が保証されず、行配線ごともしくは表面伝導型放出素子ごとに特性がばらついたパネルとなる。

【0482】以上のような問題に対して、本実施の形態

3ではマルチライン駆動している行配線のMAX値にかかる行配線を選択し、その行配線を基準にして最低活性化電圧を補償するように列配線側の補償電位を決定する。

【0483】以下、図60のフローチャートを用いて説明する。(ステップS51)

実施の形態1と同様に、まず行配線の選択条件の設定を行う。ユーザによって活性化開始の指令が入力されると、制御回路44106は通電活性化を開始する。まず、活性化の開始時に同時に駆動する行配線の設定を行う。この設定は、マルチライン駆動を行うに当たって同時駆動を行う本数の設定、駆動する行配線のライン間隔の設定、さらに間引き間隔の設定である。

【0484】本実施の形態3で行う活性化においても、選択した行配線をブロックごとに順次電位を印加していく方法を採用する。従って実施の形態1と同様に、間引き間隔を10本とし、3本の行配線を同時に活性化する場合には、 $3 \times 10 = 30$ 本をブロック単位とする。同時駆動の本数の設定は、上記のブロック単位ごとの駆動により、表面伝導型放出素子基板44101に通電する電力量と発熱とを考慮して最適に設定する。

【0485】駆動ライン間隔は、本実施の形態3でも160本とする。駆動ライン間隔の設定も、実施の形態1と同様に、表面伝導型放出素子基板44101での通電電力による熱分布の集中を考慮して、表面伝導型放出素子基板44101の全域に均等に指定する必要がある。

【0486】間引き間隔の設定も、実施の形態1と同様に10本に設定する。よって、1ブロックの駆動パターンは、実施の形態1と同様なものとなる。これらの設定が終了すると、ステップS52に移行する。

【0487】ステップS52では、表面伝導型放出素子の活性化を開始する。マルチライン駆動として、3本の行配線を同時駆動するために、駆動する行配線の設定信号をタイミング回路44105に出力する。タイミング回路44105は駆動する行配線を認識し、ラインセレクト信号をライン選択回路44102に出力する。

【0488】ラインセレクト信号により、所定の行配線のFETリレーをオンにして、駆動する行配線と電源44104側との接続を行う。活性化が開始されると、電流検出回路44103により駆動する行配線の活性化電流を検出して、その電流値をメモリ44111に格納する。

(ステップS53)

1ブロック(本実施の形態3では30本)の駆動の終了と活性化電流の検出の終了とを確認する。これらが終了したと確認すると、ステップS54へ移行する。

【0489】ステップS54では最低活性化電圧を確保するために、マルチライン駆動している行配線から対象ラインの選択処理を行う。図56において、まず行配線Dx1及びDx161、Dx321の各々について、活性化電流I

85

f1及びIf161、If321を求め、各々の行配線の活性化電流をメモリ44111に格納する。次に、メモリ44111に格納した各活性化電流値からMAX値を検出する。検出する電流値は、計測更新時に最新値である。
【0490】図56に示すように、3本の行配線を同時に活性化するときのIfmaxは、行配線Dx1を選択する。次に、選択された行配線Dx1の素子電流If値と、予め活性化電位を補償するために定めている規定値との比較を行う。

【0491】この規定値は、Ifmaxによる配線抵抗の電*10

$$\Delta Vd = (1/2) \times n \times (n+1) \times rn \times Ifn \quad \text{式(6)}$$

(rnは素子間の配線抵抗値、Ifnは各個別素子電流、nは素子数)

から求める。次に、Ifn×n(個別電流×素子数)を計算し、ライン電流の目安値となる規定値として決定する。

【0492】そして、判断処理ではIfmax-規定値If=ΔIfとして、ΔIf>0の場合には行配線Dx1の表面伝導型放出素子が、電圧降下等によって最低活性化電圧に到達していないとの判断される。また、ΔIf≤0の場合には少なくとも最低活性化電圧が印加されているものと判断する。

【0493】更に本実施の形態3では、活性化工程中に、逐次各行配線を通る活性化電流を電流検出回路44103によって検出するために、検出周期ごとに最低活性化電圧Va値を変更し、規定値を活性化の進み具合に合わせて変更する。特に、活性化初期値では、活性化電流はほとんど流れないため(図41)、電位降下による電圧の減衰の影響もほとんど無視でき、最低活性化電圧Vaは、活性化電圧Eac/2とほぼ同じとなる。

【0494】この規定値の設定は、電位降下分の要因を素子電流の変化と考え、パネル内の各行配線の配線抵抗値が一定値であることが望まれる。行配線の電位降下は、上記の式(6)から決定されるため、各行配線ごとにrnが同じであれば電位降下はIfnが支配的とみることができる。

【0495】行配線ごとに配線抵抗値がばらついている場合には、マルチライン駆動ごとに規定値の値を個別に設定する必要がある。その場合には、マルチライン駆動を行う行配線に対して予め配線抵抗値をメモリ44111に設定しておき、マルチライン駆動を行うときに選択する活性化電流Ifmaxが流れる行配線の抵抗値をメモリ44111から読み込み、その値を使って規定値を決定する。

【0496】以上より、ステップS54でΔIf値の算出と、ΔIf値から最低活性化電圧が確保されているかどうかの判断を行う。

【0497】ステップS55では補償電位の算出を行う。ステップS54でΔIfの判定結果に基づいて、補償電位値が変わる。ΔIf>0の場合には、最低電圧が印加されていないとの判断をすることから、まずΔIf ※50

86

*位降下によって、素子への活性化電圧が低くなったときに、その印加電圧値が最低活性化電圧以上を補償されるかどうかを判断するためのライン電流目安値である。従って、最低活性化電位は、行配線の配線抵抗と個別素子電流によって電位降下が生じた場合に印加される活性化電位よりも低い値に設定する。即ち、例えば最低活性化電圧をVaとすると、活性化電圧Eacを印加したときの差Eac-Va=ΔVdを最大電圧降下値とし、そのときの各個別素子電流Ifnを電圧降下の式

※に対する補償電圧ΔXの算出を行う。ΔXは実施の形態1で算出する方法と同じである。

【0498】次に予め設定している規定値の補償電位を算出する。規定値の補償電位は予め求めておいても良く、その場合には、メモリ44111にその値を格納しておく。

【0499】そして、上述したように求められた補償電圧ΔXを、規定値にかかる補償電位に加える。以上の処理によって求められた補償電位は、マルチライン駆動の活性化電流Ifmaxラインに対して最低活性化電圧を確保するための列配線側からの印加電位を設定することができる。

【0500】また、その他の行配線(図56に示す行配線Dx161及びDx321は、活性化電流が行配線Dx1に対して小さいため、求めた補償電位を印加すると、最低活性化電圧以上の印加電圧がかけられるため電圧値として問題はない。

【0501】ΔIf≤0の場合には、活性化電流Ifmaxラインには、少なくとも最低活性化に必要な電位が印加されているものと判断されるから、ΔIf>0の場合のような処理は必要ない。列配線側の補償電位は、例えばマルチライン駆動している行配線の平均素子電流を求めて補償電位を算出してもよい。

【0502】その場合にも、平均素子電流の値で決定される補償電位値はIfmaxラインに対して、十分活性化電圧が確保される値である。

【0503】ステップS56では、ステップS55でマルチライン駆動ごとに算出した補償電位値を、両素電極駆動回路44108及びバッファアンプ44107によって列配線に順次印加する。本実施の形態3では、マルチライン駆動をブロック単位で行っているため、1つの活性化プロセスのライン数は30ラインとなる。

【0504】活性化プロセスにおいては、1プロセス単位での設定はブロック単位として限定することではなく、複数のブロックを予め設定することもできる。

【0505】最後に、ステップS57で活性化プロセスが進行し、マルチライン駆動しているラインの活性化が終了したことを判断する。活性化が終了していない場合

にはステップS52に戻って再びブロックごとに活性化
する。

【0506】活性化を終了する条件は、活性化電流を検
出しながら各表面伝導型放出素子の活性化電流が一定値
に達した場合に終了する場合と、活性化の開始から終了
時間を規定して行う場合とがある。各表面伝導型放出素
子の電流値が一定値に達した場合に終了するには、行配
線ごとに活性化状況を制御回路44106等によって把握
する必要がある。一方、活性化時間で制御する場合に
は、活性化が均一になるような活性化時間の設定が必要
である。本実施の形態3では、実施の形態1と同様に活
性化時間の設定により終了条件としている。

【0507】以上説明したように、本実施の形態3に示
した活性化工程を行うことで、全ての表面伝導型放出素
子に対して最低活性化電圧を印加し、規定値の電圧の確
保ができる。従って、活性化工程以降の駆動工程で印加
する補償電圧によって、表面伝導型放出素子の特性が変
化することも抑制され、比較的特性が補償されたパネル
を作成することができる。

【0508】また、本実施の形態3においてもマルチラ
イン駆動を3本で行った場合について述べたが、同時駆
動数はこれに限定するものではなく、活性化の処理時間
をさらに短縮させるための表面伝導型放出素子基板44
101内の発熱等を考慮し、同時駆動する行配線数を増
やすこともできる。

【0509】また実施の形態1と同様に、電源4410
4からの出力を正極として印加する場合について説明し
たが、印加電位の極性はこれとは逆の負極性でもよく、
その場合には列配線側に流れ込む電流の向きが逆になる
ため、バッファアンプ44107からの補償電位の極性
も逆となる。

【0510】さらに、画素電極駆動回路44108は、
列配線と同じ数のD/Aコンバータを備えているが、補
償電圧の分布は図57に示したように穏やかに変化する
ため、D/Aコンバータの数を間引いて印加すべき電位*

$$\Delta V = (1/2) \times 1000 \times 10001 \times 2 \text{ mA} \times 10 \text{ m}\Omega \quad (\text{式7})$$

となり、最大10Vもの電位差が生じることになる。

【0516】そこで、この電位の分布と同じ電位分布を
画素電極駆動回路44108で発生させ、各表面伝導型
放出素子に生じる電位分布をキャンセルするようにバッ
ファアンプ44107を介して、Dy1~Dym端子に電圧
を印加する。

【0517】即ち、活性化の進行に伴って、各表面伝導
型放出素子F1~Fnに流れる電流と配線抵抗r1~rnと
によって、端子v1~vnに生じる電位降下分布を制御回
路44106で演算し、画素電極駆動回路44108の
D/Aコンバータの出力値を設定することで、列配線側
に電位降下分による補償電位の設定が実現できる。

【0518】本実施の形態4では、行配線を複数同時に
駆動する手法（以下、マルチライン駆動と称する）を行※50

*を抵抗等で分割して電位を規定してもよい。

【0511】本実施の形態3によれば、複数の電子放出
素子をマトリクス状に配置し、複数の行配線の内さらに
所定の複数の行配線を選択し、その選択した行配線に
流れる活性化電流の電流値を各行配線ごとに検出し、そ
の活性化電流の電流値と各行配線の抵抗値とから複数の
列配線に印加する補償電位の電位値を算出して印加す
る。そのため、電子放出素子の活性化工程において、行
配線の配線抵抗と活性化電流による電位降下の影響で、
電子放出素子に印加する電圧が均一となる。従って均一
な電子放出素子特性を有する電子放出素子を提供するこ
とができる。

【0512】[実施の形態4]

本実施の形態4においては、通電装置の全体構成は参考
例9や4と同等である。ただし、図47に相当する図6
1に示すように、ライン選択回路44102と電流検出
回路44103の配置が置き換わっている。また本実施
の形態4では、行配線に両側から電位を印加する構成を
採用している。

【0513】本実施の形態における画素電極駆動回路4
4108から出力される補償電位の設定方法について説
明する。

【0514】通電活性化を行う際、素子の電気特性は図
41に示すような変化をする。即ち、活性化を開始した
直後には素子電流がほとんど流れず、通電時間とともに
素子電流が流れて飽和する。このとき図61に示すよう
に、例えば、行配線Dx1上の表面伝導型放出電子素子群
の端子電位をモニタすると、配線抵抗r1~rnの影響で
電位v1~vnは変化する。この電位変化は活性化の進行
と共に大きくなる。

【0515】例えば、活性化電流2mA/1素子、r1
~rn=10Ω、n=1000の場合、片側(F1側)か
らのみ電流44104によって給電した場合には、給電
端から最も遠い表面伝導型放出素子Fnの端子vnにおい
ては、

※っている。また、行配線への活性化電圧の印加は、図7
0に示したように素子番号1~Nの配線の両側から電位
を印加している。ライン選択回路44102により選択
された行配線の両側に電源44104から所定の電位が
印加されると、任意の行配線に、活性化電流Ifが流れ
る。図41と同様に活性化初期状態では電流が流れず、
徐々に活性化が進行していくことでIfが増加していく
特性を示す。

【0519】本実施の形態4で、例えば、列配線側の補
償電位を算出する方法として、マルチライン駆動する行
配線の平均活性化電流Ifaveを算出し、それに対する列
配線側の補償電位を算出する方式や、マルチライン駆動
している配線の特定の行に注目して、その行の平均活性
化電流Ifaveを使用してそれに対する列配線側の補償電

位を算出する方法を用いている。

【0520】平均活性化電流 I_{fave} の算出は、設定時間ごとに、マルチライン駆動しているラインの電流値の検出を逐次行い、検出した電流値を、電流検出回路44103から活性化電流44109として制御回路44106に入力して、制御回路44106においてされる。そして、算出した平均活性化電流 I_{fave} から補償電位の算出を行う。

【0521】本実施の形態4では、行配線への活性化電*

$$Dyn = -(1/2) \times rn \times n \times (n+1) \times iave \quad (式8)$$

$$n = F1 \sim Fn/2$$

但し、 $Fn/2$ 以降の画素番号は、 $n = Fn - n'$ (n' は $Fn/2 \sim Fn$ までの画素番号として計算される)。

【0522】以上のような算出方法によって、マルチライン駆動を行っている行配線を通る活性化電流値の平均素子電流 I_{fave} をもとにして、列配線側の補償電位を決定している。補償電位は、画素電極駆動回路44108からバッファアンプ44107を通して列配線 $Dy1 \sim Dyn$ の端子に出力され、補償電位の設定は活性化プロセスが終了するまで行われる。

【0523】そして、活性化の終了条件としては、マルチライン駆動している各行配線の活性化電流から、各素子の平均素子電流 I_f が一定値に達した場合 (例えば各素子が $2mA$ となったとき)、或いは活性化電流がある程度流れた時点から時間的な制御を行う場合などがある。以上説明したように、マルチライン駆動を行ったときの基本的な補償電位の印加方法について述べた。

【0524】本実施の形態4では、行配線 $Dx1 \sim Dx_m$ のうち、マルチライン駆動を行うための行配線を複数本選択して、その行配線を1単位として順次駆動を行っている。

【0525】図62は、マルチライン駆動している1単位での複数の行配線の活性化時間に対する活性化電流の変化を示す図である。

【0526】活性化工程中にマルチライン駆動している全行配線のうち、後述するように、図62のマルチライン駆動している行配線から活性化電流が著しくなる行配線Aの駆動を中止する (chk1)。また、25分から5分 (T2) 刻みで、マルチライン駆動している複数の行配線の中から、後述するように駆動を中止する行配線を特定するために、活性化電流値の平均値を求める (chk2)。

【0527】更に、活性化電圧は約10Vから16Vまで上昇するように設定する。活性化開始から約30分後には、16Vまで上昇し、その後一定電圧になるように設定する。

【0528】活性化工程中に行配線が条件を満たしているか否かの判断は、まず、活性化開始から $T1 = 20$ 分後にチェック (chk1) を実行する。chk1とは、マルチライン駆動している行配線から活性化電流が著し

* 位の印加は、行配線の両側から電位印加を行うため、配線抵抗による電位降下としては行配線での中央付近が最も大きくなる。行配線の両側から電位を印加する場合には、図61に示す電源44104は、aとa' とが接続される。従って、上記の算出方法によって算出した補償電位を印加することにより、平均活性化電流 I_{fave} を用いたときの補償電位出力は、以下のように求められる。なお、1つの電子放出素子に流れる素子電流の平均値を $iave$ とすると、

※異なる行配線を特定して、その行配線の駆動を中止することをいう。chk1は、劣化している表面伝導型放出素子などを予め活性化工程から除去するために行うものである。

【0529】具体的には、まず、マルチライン駆動している全行配線 $Dx1 \sim Dx_m$ の活性化電流値とその平均を求める。そして、平均値から予め設定している閾値以上の差がある活性化電流値にかかる行配線の駆動を中止する。

【0530】本実施の形態4において行う活性化工程では、補償電位は、マルチライン駆動している行配線の平均素子電流 I_{fave} の電流値から算出する。従って、平均素子電流 I_{fave} の電流値は所定の範囲内の値となることが望ましい。chk1では、行配線に流れる活性化電流の電流値のうち、他の行配線に流れる活性化電流の電流値と大きく異なる行配線がある場合には、その行配線に流れる活性化電流の電流値を、平均値を算出するときに用いないようにする。

【0531】時間 $T1$ は、ある程度、活性化が進行しているときに設定することが望ましい。本実施の形態4では、活性化時間を60分とし、電圧の上昇比率から活性化電流が各ラインとも数A程度となる時間を考慮して決定している。従って、時間 $T1$ の長さは特に限定するものではない。

【0532】図63は、マルチライン駆動の対象となる全行配線 $Dx1 \sim Dx_m$ の活性化電流のヒストグラムである。行配線の総数は100本としている。

【0533】まず、マルチライン駆動している全行配線 $Dx1 \sim Dx_m$ の活性化電流値とその平均値及び標準偏差を算出する。chk1において、以下の条件に該当しない行配線は、駆動を中止する。即ち、マルチライン駆動している全行配線 $Dx1 \sim Dx_m$ に流れる活性化電流 I_{fave} の平均電流値と標準偏差 σ 値とから求めた基準値 σ / I_{fave} の2倍の範囲外の電流値が流れる行配線である。

【0534】中止条件は、基準値 σ / I_{fave} に基づいて定めるため、表面伝導型放出素子基板ごとに、駆動を中止する行配線の基準が定められる。なお、中止条件の範囲を基準値の2倍としたのは、劣化している表面伝導型放出素子をおおざっぱに除去できさえすればよいからで

ある。

【0535】図63に示したヒストグラムのデータより、平均活性化電流 I_{fave} は3.54 A、標準偏差 σ は1.48、基準値は0.42となる。これにより、chk1で中止条件に該当する活性化電流値は、 $0.42 \times 2 = 0.84$ Aとなる。従って、平均活性化電流値 $I_{fave} \pm 0.84$ Aの範囲外である2.7 A以下又は4.38 A以上の活性化電流の行配線を駆動中止ラインとする。

【0536】よって、図63のヒストグラムから $2 \times \sigma / I_{fave}$ 以外に相当するラインが存在することがわかる。また、図62からマルチライン駆動を行っているラインのなかで、chk1で計算した範囲の閾値から行配線Aが $I_f = 2.2$ Aとなるため、駆動中止ラインに相当することがわかる。

【0537】chk1が終了すると、chk2を実行する。chk2は、活性化がある程度進行した後に、活性化電流の平均電流値をより整合するために行う。chk2により、列配線に印加する補償電位値をより最適にすることができる。chk2は、実行時間T1から活性化工程終了までの間に、マルチライン駆動している行配線の平均活性化電流 I_{fave} に対して、上限下限の電流許容値を設定し、その範囲から外れる行配線を駆動中止ラインとする。

【0538】具体的には、図62に示すように、実行時間T2ごとにマルチライン駆動している平均活性化電流 I_{fave} の電流値を求める。その値を○印で示す。また、マルチライン駆動で選択している行配線に印加する電位は、パルス幅1 m秒、デューティ10%の波形のものとする。

【0539】平均活性化電流 I_{fave} に対して、閾値を例えば、 $\pm 10\%$ と設定する。5分(T2)ごとにマルチライン駆動して求める平均活性化電流 I_{fave} から、閾値である $\pm 10\%$ の範囲を超える活性化電流にかかる行配線が存在する場合には、その時点でその行配線の駆動を中止する。例えば、活性化時間50分の時点では行配線Bに流れる活性化電流は、平均活性化電流 $I_{fave} - 10\%$ を下回るため、この時点で行配線Bの駆動を中止している。

【0540】なお、閾値を小さくすると、行配線に流れる活性化電流が均一化される反面、駆動を中止する行配線の本数が増加することになる。本実施の形態4では、閾値を $\pm 10\%$ としているため、補償電位値のばらつきは活性化電流のばらつきには大きく影響しないと考えられる。

【0541】本実施の形態4においては、実行時間T2を5分としたが、実行時間はT2に限定されるものではなく、補償電位を印加するサイクルよりは長ければよい。補償電位を印加するタイミングは、実行時間T2とは別に設定できるものである。マルチライン駆動してい

る複数の行配線の電流値と平均活性化電流 I_{fave} の電流値とを求め、これらから補償電位を印加するサイクル数は数秒単位となる。

【0542】また本実施の形態4では、活性化時間を60分としている。活性化時間が60分のときは、活性化電流は約5 Aになる。活性化工程は、活性化時間を設定せずに、活性化電流が所望の電流値となったときに終了してもよい。この場合には、行配線ごとに活性化時間が異なる。以上、図62及び図63をもとに本実施の形態4の活性化方法を説明した。

【0543】実行時間T1及び閾値は、予めマルチライン駆動する前に制御回路44106なかで設定される。また、マルチライン駆動しているときの各行配線に流れる活性化電流は、制御回路44106からメモリ44111に出力される。

【0544】図64は、本実施の形態4の活性化工程の手順を示すフローチャートである。本実施の形態4の活性化工程の手順について図64を用いて説明する。(ステップS61) ユーザによって活性化開始の指令がなされると、制御回路44106は通電活性化を開始する。まず、マルチライン駆動している複数の行配線のうち、駆動を中止する行配線を特定するための条件を設定する。中心条件は、前述したように、chk1の実行時間T1及び閾値、chk2の実行時間T2である。

【0545】次にステップS62で制御回路44106は同時駆動する行配線の選択条件などを設定する。この設定は、マルチライン駆動を行うに当たって、同時駆動する行配線の本数、駆動する行配線のライン間隔及び間引き間隔の3つの設定である。本実施の形態4で行うマルチライン駆動は、選択した複数の行配線を1単位としてとらえ、単位ごとに順々に電位を印加していく。

【0546】前述したように、本実施の形態4では、間引き間隔の本数を10本としている。同時駆動する行配線の本数の設定は、上記単位ごとの駆動により、表面伝導型放素子基板44101に通電する電力量と通電時の発熱とを考慮して最適に設定している。

【0547】次に、ライン間隔は、本実施の形態4では、全行配線Dx1~Dxmに対してマルチライン駆動する複数の行配線の本数が均等な間隔で設定され、上記通電時の発熱が基板内意で均一になることが望ましい。

【0548】ステップS63では、表面伝導型放素子の活性化を行う。マルチライン駆動するために、制御回路44106は、ステップS62で行った行配線の選択条件などを設定の設定信号をタイミング回路44105に設定する。タイミング発生回路44105は、駆動する行配線を認識しラインセレクト信号をライン選択回路44102に出力する。

【0549】ラインセレクト信号により、所定の行配線のFETリレーをオンにして、行配線を電源44104側と接続し、選択した行配線を駆動する。ブロックごと

に活性化を開始すると、電流検出回路44103は、駆動する行配線の活性化電流を検出、その電流値はメモリ44111に格納される。

【0550】次にステップS64では、補償電位の算出を行う。まずステップS63においてメモリ44111に格納している活性化電流から平均活性化電流 I_{fave} を算出する。平均活性化電流 I_{fave} は、マルチライン駆動を行っている行配線ごとに算出する。平均活性化電流 I_{fave} は、活性化工程が進行していく途中で電流検出のサンプリング設定を行う。このことによって、所定の時間ごとにマルチライン駆動している行配線の電流を検出し、最新の平均活性化電流 I_{fave} をメモリ44111に格納していく。

【0551】次に、求めた平均活性化電流 I_{fave} から、制御回路44106において列配線側の補償電位の算出を行う。補償電位の算出は、式(8)を用いて求めることができる。行配線側の配線抵抗は、予め計測しメモリ44111に格納しておく。補償電位も平均活性化電流 I_{fave} の更新に伴い逐次計測する。また、必要に応じて補償電位値も活性化工程の進行に伴い変化するため、メモリ44111に格納することもできる。

【0552】次に、ステップS65では、ステップS64でマルチライン駆動ごとに算出した補償電位値を、画素電極駆動回路44108及びバッファアンプ44107によって列配線に順次印加する。

【0553】次にステップS66では、実行時間T1に達したか否かの判断を行う。本実施の形態4では、chk1を実行する時間T1を20分としている。実行時間に達している場合には、ステップS67に移行する。一方、実行時間に達していない場合には、ステップS63

に戻る。

【0554】次にステップS67では、実行時間に達すると、マルチライン駆動している全行配線に対して、chk1を実行する。まず、制御回路44106は、マルチライン駆動している全行配線の活性化電流値をメモリ44111から読み出す。その活性化電流値から、以下のような値を算出する。

(1) 平均活性化電流の電流値 I_{fave}

(2) 平均活性化電流の電流値 I_{fave} から標準偏差値 σ

(3) 平均活性化電流の電流値 I_{fave} と標準偏差値 σ とから基準値 σ / I_{fave}

そして、求めた各々値から、chk1において駆動を中止する条件となる $2\sigma / I_{fave}$ を算出する。

【0555】ステップS68では、制御回路44106は、マルチライン駆動している複数の行配線中でどの行配線が、駆動の中止条件に該当するかを判断する。中止条件となる行配線が存在する場合には、その行配線の駆動を中止するように、タイミング発生回路44105に中止信号を出力する。

【0556】タイミング発生回路44105は、中心信

号に従って、ライン選択回路44102に対してラインセレクト信号を出力する。このラインセレクト信号は、駆動を中止する行配線に印加している活性化を進行させるための電位の供給を止めさせる信号である。以上、ステップS66～S68によって、chk1を実行し、中止条件に該当する行配線の駆動を中止すると、その時点から再度活性化工程を開始する。

【0557】次にステップS69では、ステップS63と同様の手順により、選択した行配線の活性化を行う。即ち、マルチライン駆動している複数の行配線の活性化電流の電流値を検出する。各々の電流値はメモリ44111に格納される。

【0558】ステップS70では、補償電位の電位値を算出する。まず、chk2を実行するために、マルチライン駆動している複数の行配線の平均活性化電流の電流値 I_{fave} を求める。平均活性化電流の電流値 I_{fave} は、ステップS64と同様の手順によって求める。

【0559】次にステップS71では、ステップS70でマルチライン駆動ごとに算出された補償電位値を、制御回路44106を通して、画素電極駆動回路44108及び、バッファアンプ44107によって列配線に順次印加される。

【0560】ステップS72では、活性化を終了する条件に達すると、活性化を終了する。一方、活性化が終了する条件に達していない場合には、ステップS73に移行する。ステップS73では、chk2を実行するために、実行時間T1後に実行時間T2に到達したか否かを判断する。実行時間T2に到達した場合にはステップS74へ移行する。一方、T2に到達していない場合には、ステップS69に戻る。

【0561】ステップS74では、chk2を実行する。chk2は、前述したように、ある程度活性化が進行してから実行する。具体的には、まず、実行時間T1(20分)後に実行時間T2(5分)に到達したら、マルチライン駆動している行配線の平均活性化電流の電流値 I_{fave} を算出する。平均活性化電流値 I_{fave} は、メモリ44111に格納されている各行配線の活性化電流から求める。そして、マルチライン駆動している駆動ライン電流値を読み出し、以下の処理を行う。

【0562】算出した平均活性化電流値 I_{fave} と制御回路44106に予め設定している閾値 $\pm 10\%$ とから、マルチ駆動している各行配線の電流値の1本1本について比較を行い駆動の中止条件を求める。なお、中止条件は、上記のように $I_{fave} \pm 10\%$ である。

【0563】次にステップS75では、マルチライン駆動している複数の行配線の活性化電流値が、ステップS74で求めた中止条件の範囲内であるかどうかの判断する。活性化電流値が中止条件に該当しなければ活性化工程を継続する。一方、中止条件に該当すれば、ステップS68で説明した手順と同様の手順によって、その行配

線の活性化を中止する。

【0564】以上説明したように、ステップS61～S75の手順を実行することで、補償電位の電位値を算出するための活性化電流の電流値が、本来検出すべき活性化電流値に近いものとなるため、表面伝導型放出素子に均一に補償電圧を印加することができる。

【0565】図65は、活性化を中止した行配線を再活性化する手順を示すフローチャートである。chk1又はchk2によって活性化を中止した行配線を再活性化

10 手順について図65を用いて説明する。

【0566】ステップS81では、再活性化する前に、再活性化する行配線の駆動条件の設定と再活性化工程を終了する条件の設定とを行う。

【0567】まず駆動条件について説明する。駆動条件とは、再活性化工程をマルチライン駆動によって行うのか、1本の行配線ごとに行うのかという条件をいう。なお、駆動条件は、制御回路44106において、駆動を中止した行配線の本数と行配線の位置によって判断される。例えば、駆動を中止した行配線が表面伝導型放出素子基板44101上の1部分に集中している場合には、それらの行配線をマルチライン駆動すると、行配線に流れる電流が基板44101上の1部に集中することになり、その部分が局所的に発熱したり、その発熱から表面伝導型放出素子基板44101が破損する場合もある。そのため、それらの行配線に関しては1ラインずつのライン駆動を行い上記の問題を回避するような駆動を行うことが望ましい。マルチライン駆動で行う場合には、同時駆動する行配線の本数、駆動ライン間隔、間引き間隔等の設定を行う。

【0568】1本ずつ行配線を駆動する場合には、駆動間隔と間引き間隔とは、マルチライン駆動の設定と同じ設定とする。従って、1本ずつ行配線を駆動する場合には、表面伝導型放出素子基板44101にかかる電流の集中は低減し、発熱等の問題も緩和されることになる。

【0569】一方、駆動を中止した行配線が、表面伝導型放出素子基板44101の全体に分散している場合には、マルチライン駆動を行い再活性化工程にかかる再活性化時間を短縮するのが好ましい。

【0570】次に、再活性化工程の終了条件について説明する。再活性化は、正常に活性化が終了したラインとほぼ同様の活性化電流を得るために、終了条件として設定した活性化電流値になると活性化処理を終了する場合と、活性化時間を予め設定して活性化時間に到達すると終了する場合とがある。これらの判断は、駆動を中止した行配線が、chk1、chk2のいずれにおいて中止となったかによって判断してもよい。

【0571】例えば、chk1を実行した結果、駆動を中止した行配線（図62に示した行配線A）は、もともと活性化時間に対する活性化電流値の増加率が小さいため、再活性化を行っても、正常に活性化が終了したライ

ンと同等な活性化電流値を得ることは難しいと判断される。従って、chk1を実行して駆動を中止した行配線は、活性化時間を設定して活性化時間に到達したら再活性化工程を終了し、最終的な活性化電流値は、活性化の時間が終了した時点で決まるものとする。

【0572】一方、chk2を実行した結果、活性化を中止した行配線（図62に示した行配線B）は、ある程度活性化電流が流れているため、再活性化処理を行うことによって、正常に活性化が終了したラインとほぼ同様の活性化電流値に達すると判断される。従って、chk2を実行して活性化を中止した行配線は、所望の活性化電流値に到達するまで再活性化工程を行う。

【0573】次に、ステップS82で再活性化工程を開始し、上記駆動条件によって選択する行配線を駆動する。再活性化工程でも、マルチライン駆動している複数の行配線に流れる活性化電流の電流値は、電流検出回路44103によって検出する。検出値は制御回路44106を介して、メモリ44111に出力される。

20 【0574】ステップS83では、印加する補償電位の電位値の算出を行う。補償電位は、再活性化工程においてもマルチライン駆動している複数の行配線に流れる活性化電流の平均値である平均活性化電流値 I_{ave} をもとに算出する。平均活性化電流値 I_{ave} は、制御回路44106によりメモリ44111に格納されている各行配線の活性化電流値を出力して、所定の計算を行っている。

【0575】また、再活性化工程の駆動条件に従って、1本の行配線ごとに再活性化をする場合には、選択されている行配線の活性化電流値を、そのまま補償電位の電位値を計算するために用いる。

【0576】ステップS84では、制御回路44106で計算された補償電位値を、画素電極駆動回路44108、バッファアンプ44107を通して表面伝導型放出素子基板44101の列配線に順次印加する。

【0577】ステップS85では、再活性化工程が終了する条件に達したか否かを判断する。終了条件に達した場合には、再活性化工程を終了する。一方、再活性化工程が終了する条件に達していない場合には、ステップS82に戻る。

40 【0578】以上のようにして、表面伝導型放出素子基板44101の活性化が終了する。上記のような手順によって、行配線を1本ずつ駆動していた場合に比べ数分の1の時間で活性化を終了することができる。

【0579】また、chk1及びchk2を実行することによって、補償電位値を算出するための平均活性化電流値を均一化するため、補償電圧値を最適値に近い値で駆動することができる。

【0580】なお、本実施の形態4におけるマルチライン駆動において、活性化時間を更に短縮させるために、表面伝導型放出素子基板44101内の発熱等を考慮

し、同時駆動する行配線数を増やすこともできる。

【0581】また、本実施の形態4では、電源44104から出力される電位を正極として印加する場合について説明したが、印加電圧の極性はこれとは逆の負極性でもよく、その場合には列配線側に流れる電流の向きが逆になる。そのため、バッファアンプ44107からの補償電位の極性も逆となる。

【0582】さらに、画素電極駆動回路44108では、列配線と同じ数のD/Aコンバータを構成しているが、補償電位の分布は、図62に示したように緩やかに変化するため、D/Aコンバータの数は間引いて、印加すべき電位を抵抗等で分割して電位を規定してもよい。また、活性化工程において、補償電位値の更新も、本実施の形態4で説明したように1単位ごとに行わずに、活性化工程の進行具合に合わせて適宜行ってもよい。

【0583】以上説明したように、本実施の形態4で説明した活性化工程によって、表面伝導型放出素子の電子放出特性のばらつきを少なくすることができる。これにより、表面伝導型放出素子基板44101を用いて表示パネルを作成した結果、ばらつきの少ない高品位な画像表示装置を実現することができる。

【0584】また、マルチライン駆動において、同時に駆動する行配線の本数を増やすことで、活性化時間を短縮することができる。

【0585】〔実施の形態5〕

図66は、マルチライン駆動している複数の行配線の活性化時間に対する活性化電流の変化を示す図である。本実施の形態5の活性化工程に用いる装置及び駆動回路、表面伝導型放出素子基板は図44と同様のものを用いる。

【0586】本実施の形態5では、所定の活性化時間に所定の活性化電流が流れていない行配線の駆動を中止する。具体的には図66に示すように、活性化を開始してから20分後にchk3を実行する。chk3では、マルチライン駆動を行っている複数の行配線の各活性化電流値が、3Aに達しているかどうか判断する。そして、このとき3Aに到達していない行配線Cの駆動を中止する。

【0587】図67は、本実施の形態5の活性化工程の手順を示すフローチャートである。本実施の形態5の活性化工程の手順について図67を用いて説明する。

【0588】まずステップS91で、活性化を実行する前に、マルチライン駆動している複数の行配線のうち、駆動を中止する行配線を特定するための条件を設定する。中止条件は、chk3を実行することから、chk3の実行時間T3と、そのときの活性化電流値の設定を制御回路44106に対して行う。

【0589】次にステップS92で、ユーザによって活性化開始の指令がなされると、制御回路44106は通

電活性化を開始する。本実施の形態4と同様に、まず制御回路44106は同時駆動する行配線の選択条件などを設定する。制御回路44106は同時駆動する行配線の選択条件などを設定する。

【0590】この設定は、マルチライン駆動を行うに当たって、同時駆動する行配線の本数、駆動する行配線のライン間隔及び間引き間隔の3つの設定である。本実施の形態5で行うマルチライン駆動も、選択した複数の行配線を1単位としてとらえ、単位ごとに順々に活性化のための電位を印加していく。

【0591】実施の形態4と同様に、本実施の形態5では、間引き間隔の本数を10本としている。同時駆動する行配線の本数の設定は、上記単位ごとの駆動により、表面伝導型放出素子基板44101に通電する電力量と通電時の発熱とを考慮して最適に設定している。

【0592】次に、ライン間隔も、本実施の形態5では、全行配線Dx1~Dxmに対してマルチライン駆動する複数の行配線の本数が均等分割される間隔で設定され、基板内で上記通電時での発熱が均一になることが望ましい。

【0593】以上の設定は制御回路44106により設定され、ライン選択回路44102への設定が行われる。

【0594】次に、ステップS93では、表面伝導型放出素子の活性化を行う。マルチライン駆動するために、制御回路44106は、ステップS92で行った行配線の選択条件などを設定の設定信号をタイミング回路44105に設定する。タイミング回路44105は、駆動する行配線を認識し、ラインセレクト信号をライン選択回路44102に出力する。このラインセレクト信号により、所定の行配線のFETリレーをオンにして、行配線を電源44104側と接続し、選択した行配線を駆動する。1単位ごとに活性化を開始すると、電流検出回路44103は、駆動する行配線の活性化電流を検出し、その電流値はメモリ44111に格納される。

【0595】ステップS94では、補償電位の算出を行う。まず、ステップS93においてメモリ44111に格納している活性化電流から平均活性化電流I_{fave}を算出する。平均活性化電流I_{fave}は、マルチライン駆動を行っている行配線ごとに算出する。

【0596】平均活性化電流I_{fave}は、活性化が進行していく途中で電流検出のサンプリング設定を行う。このことによって、所定の時間ごとにマルチライン駆動している行配線の電流を検出し、最新の平均活性化電流I_{fave}をメモリ44111に格納していく。

【0597】次に、求めた平均活性化電流I_{fave}から、制御回路44106において列配線側の補償電位の算出を行う。この補償電位の算出は、式(8)を用いて求めることができる。そして、予め各行配線の配線抵抗を計測しメモリ44111に格納しておく。補償電位も平均

活性化電流 I_{ave} の更新に伴い逐次計測する。また、必要に応じて補償電圧値も活性化工程の進行に伴い変化するため、メモリ 44111 に格納することもできる。

【0598】ステップ S95 では、ステップ S94 でマルチライン駆動ごとに算出した補償電位値を、画素電極駆動回路 44108 及びバッファアンプ 44107 によって列配線に順次印加する。本実施の形態 5 では、マルチライン駆動を 1 単位として行っていることから、1 つの活性化工程で活性化する行配線の本数は数 10 本となる。この活性化工程においては、1 プロセス単位での設定は 1 単位として限定することではなく、複数の単位を予め設定することもできる。

【0599】次にステップ S96 では、実行時間 T3 に達したか否かの判断を行う。本実施の形態 5 では、chk3 を実行する実行時間 T3 を 20 分としている。実行時間に達している場合には、ステップ S97 に移行する。一方、実行時間に達していない場合には、ステップ S93 に戻る。

【0600】ステップ S97 では、マルチライン駆動している複数の行配線に対して、chk3 を実行する。制御回路 44106 は、メモリ 44111 から chk3 を行うときの最新電流値を入力して、それと設定電流値との比較を行う。

【0601】次にステップ S98 では、制御回路 44106 は、設定電流値に達していない活性化電流値にかかる行配線を検出しその行配線の駆動を中止するように、タイミング発生回路 44105 に中止信号を出力する。このタイミング発生回路 44105 は、中心信号に従って、ライン選択回路 44102 に対してラインセレクト信号を出力する。このラインセレクト信号は、駆動を中止する行配線に印加している電圧の供給を止めさせる。

【0602】ステップ S99 では、活性化の終了条件に達すると、活性化を終了する。一方、活性化が終了する条件に達していない場合には、ステップ S93 に戻る。活性化の終了条件は、活性化電流を検出しながら各表面伝導型放出素子の素子電流が一定値に達した場合に終了する場合と、活性化時間を設定してその時間になると終了する場合とがある。

【0603】各表面伝導型放出素子の電流値が一定値に達した場合に終了する方法では、制御回路 44106 等によって、行配線ごとに活性化状況を把握する必要がある。一方、活性化時間で制御する場合には、活性化が均一になるような時間設定が必要となってくる。本実施の形態 5 では、活性化時間の設定により終了条件としている。

【0604】次に、駆動を中止した行配線を再活性化する。再活性化工程は、実施の形態 4 と同様の工程である。以上のようにして、表面伝導型放出素子基板 44101 の活性化が終了する。上記のような手順によって、行配線を 1 本ずつ駆動していた場合に比べ数分の 1 の時

間で活性化を終了することができる。

【0605】また、chk3 を実行することによって、補償電位値を算出するための平均活性化電流値を均一化するため、補償電位値を最速値に近い値で駆動することができる。なお、本実施の形態 5 におけるマルチライン駆動において、活性化時間を更に短縮させるために、表面伝導型放出素子基板 44101 内の発熱等を考慮し、同時駆動する行配線を増やすこともできる。

【0606】【実施の形態 6】

図 68 は、マルチライン駆動している複数の行配線の活性化時間に対する活性化電流の変化を示す図である。本実施の形態 6 の活性化工程に用いる装置及び駆動回路、表面伝導型放出素子基板は図 44 と同様のものを用いる。本実施の形態 6 では、活性化時間内において、任意の 2 つの時間に活性化電流値の検出し、検出時間の変化量と活性化電流値の変換量とを算出して、活性化電流値の変化量/活性化時間の変化量を求め、これが予め定めている閾値を越えていない場合に、行配線の駆動を中止する。

【0607】具体的には、まず、検出時間 T4 に到達したときに、マルチライン駆動を行っている行配線の活性化電流値の検出を行う。次に、検出時間 T5 まで通常の活性化駆動を行う。そして、各々検出した活性化電流値の差をとり、検出時間の変化量と活性化電流値の変化量とを算出する。そして、活性化電流値の変化量/検出時間 T5 - 検出時間 T4 を求める。

【0608】この活性化電流値の変化量の検出時間は、活性化電圧を昇圧している途中が好ましい。図中の ΔI_{f1} のように変化が顕著となり、活性化状態を判断するのに適しているからである。そのため、本実施の形態 6 では、検出時間 T4 及び検出時間 T5 を、活性化工程を開始してから比較的早い時間に設定している。

【0609】駆動の中止条件となる電流変化量は、予め固定値として設定しておいてもよい。また、実際にはマルチライン駆動を行って、各行配線の電流変化量を算出し、それらの行配線の中で著しく電流変化量が小さい行配線の駆動を中止してもよい。例えば、マルチライン駆動している複数の行配線の電流変化量の平均値を基準にして、駆動の中止条件を設定したり、特定の行配線の変化量を基準にしてその値から設定してもよい。

【0610】本実施の形態 6 では、行配線の駆動を中止するための閾値を、マルチライン駆動している複数の行配線の電流変化量の平均値から 1 A と設定する。そして、電流変化量が 1 A 以下の行配線は、駆動を中止する。

【0611】駆動を中止する行配線と指示された行配線は、計測時間 T5 - 計測時間 T4 の活性化電流値の変化量が上記設定した 1 A と比較される。そうすると、 ΔI_{f1} では、1 A 以上の増加があるのに対し、 ΔI_{f2} に相当

101

する行配線を駆動中止ラインとする。

【0612】図69は、本実施の形態6の活性化工程の手順を示すフローチャートである。本実施の形態6の活性化工程の手順について図69を用いて説明する。

【0613】まずステップS101で、活性化工程の前にマルチライン駆動を行っている複数の行配線に対して、駆動の中止条件の設定を行う。上述したように、中止条件は、検出時間T4及び検出時間T5と、検出時間の変化量に対する活性化電流値の変化量とである。設定は制御回路44106に対して行う。

【0614】次にステップS102で、ユーザによって活性化開始の指令がなされると、制御回路44106は通電活性化を開始する。実施の形態4と同様に、まず制御回路44106は同時駆動する行配線の選択条件などを設定する。

【0615】この設定は、マルチライン駆動を行うに当たって、同時駆動する行配線の本数、駆動する行配線のライン間隔及び間引き間隔の3つの設定である。本実施の形態6で行うマルチライン駆動も、選択した複数の行配線を1単位としてとらえ、単位ごとに順々に活性化のための電位を印加していく。従って、実施の形態4と同様に、本実施の形態6では、間引き間隔の本数を10本としている。同時駆動する行配線の本数の設定は、上記単位ごとの駆動により、表面伝導型放出素子基板44101に通電する電力量と通電時の発熱とを考慮して最適に設定している。

【0616】次に、ライン間隔も、本実施の形態6では、全行配線Dx1~Dxmに対して、同時に活性化のための電位を印加する複数の行配線の本数が均等分割される間隔で設定され、基板内で上記通電時の発熱が均一になることが望ましい。

【0617】以上の設定は制御回路44106により設定され、ライン選択回路44102への設定が行われる。

【0618】次にステップS103では、表面伝導型放出素子の活性化を行う。マルチライン駆動するために、制御回路44106は、ステップS102で行った行配線の選択条件などを設定の設定信号をタイミング回路44105に設定する。タイミング回路44105は、駆動する行配線を認識し、ラインセレクト信号をライン選択回路44102に出力する。このラインセレクト信号により、所定の行配線のFETリレーをオンにして、行配線を電源44104側と接続し、選択した行配線を駆動する。ブロックごとに活性化を開始すると、電流検出回路44103は、駆動する行配線の活性化電流を検出し、その電流値はメモリ44111に格納される。

【0619】ステップS104では、補償電位の算出を行う。まずステップS103においてメモリ44111に格納している活性化電流から平均活性化電流I_{fave}を算出する。平均活性化電流I_{fave}は、マルチライン駆動

102

を行っている行配線ごとに算出する。この平均活性化電流I_{fave}は、活性化が進行していく途中で電流検出のサンプリング設定を行う。このことによって、所定の時間ごとにマルチライン駆動している行配線の電流を検出し、最新の平均活性化電流I_{fave}をメモリ44111に格納していく。

【0620】次に、求めた平均活性化電流I_{fave}から、制御回路44106において列配線側の補償電位の算出を行う。補償電位の算出は、式(8)を用いて求めることができる。そして、予め各行配線抵抗を計測してメモリ44111に格納しておく。補償電位も平均活性化電流I_{fave}の更新に伴い逐次計測する。また、必要に応じて補償電位値も活性化工程の進行に伴い変化するため、メモリ44111に格納することもできる。

【0621】ステップS105では、ステップS104でマルチライン駆動ごとに算出した補償電位値を、画素電極駆動回路44108及びバッファアンプ44107によって列配線に順次印加する。本実施の形態6では、マルチライン駆動をブロック単位として行っていることから、1つの活性化工程で活性化する行配線の本数は数10本となる。活性化工程においては、1単位での設定は単位として限定することではなく、複数の単位を予め設定することもできる。

【0622】次にステップS106では、活性化時間が、検出時間T4に達したか否かの判断を行う。検出時間T4に達している場合には、ステップS107に移行する。一方、実行時間に達していない場合には、ステップS108に移行する。

【0623】ステップS107では、活性化工程で駆動している行配線の活性化電流を検出する。活性化電流の検出は、ステップS103と同様に、ライン選択回路44102より選択された行配線の活性化電流値を電流検出回路44103により検出する。検出値はメモリ44111に格納される。そして、活性化電流を計測した後は、ステップS103に戻る。

【0624】ステップS108では、活性化時間が、計測時間T5に達したかどうかの判断を行う。計測時間T5に達している場合には、ステップS109に移行する。一方、達していない場合には、ステップS111に移行する。

【0625】ステップS109では、活性化工程で駆動している行配線の活性化電流値の検出を行う。活性化電流値の検出は、ステップS107と同様に、ライン選択回路44102より選択した行配線の活性化電流値を、電流検出回路44103により検出する。その検出値はメモリ44111に格納される。活性化電流値を検出した後は、ステップS110に移行する。

【0626】ステップS110では、制御回路44106において、検出時間T4及び検出時間T5に検出した活性化電流値をメモリ44111から読み出し、活性化

103

電流値の変化量を算出する。その結果、マルチライン駆動している複数の行配線のうち、所定の電流変化量（増加量）に達していない行配線については駆動を中止する。具体的には、タイミング回路44105からライン選択回路44102へラインセレクト信号が出力され、これによって、駆動を中止する行配線を特定する。駆動を中止する行配線を特定すると、ステップS103に戻る。

【0627】ステップS105からステップS110までの手順によって、活性化工程が終了条件に達すると、活性化工程を終了する。活性化工程が終了条件に達していない場合には、ステップS103に戻る。この活性化の終了条件は、活性化電流を検出しながら各表面伝導型放出素子の素子電流が一定値に達した場合に終了する場合と、活性化時間を設定してその時間になると終了する場合とがある。

【0628】各表面伝導型放出素子の電流値が一定値に達した場合に終了する方法では、制御回路44106等によって、行配線ごとに活性化状況を把握する必要がある。一方、活性化時間で制御する場合には、活性化が均一になるような時間設定が必要となってくる。本実施の形態6では、活性化時間の設定により終了条件としている。

【0629】次に、活性化を中止した行配線を再活性化する。再活性化工程は、実施の形態4と同様の工程によって行う。

【0630】以上のようにして、表面伝導型放出素子基板44101の活性化が終了する。上記のような手順によって、行配線を1本ずつ駆動していた場合に比べ数分の1の時間で活性化を終了することができる。

【0631】また、活性化電流値の変化量を算出することによって、補償電位値を算出するための平均活性化電流値を均一化するため、補償電位値を最速値に近い値で駆動することができる。

【0632】なお、本実施の形態6におけるマルチライン駆動において、同時駆動数は5本に限定するものではなく、活性化時間を更に短縮させるために、表面伝導型放出素子基板44101内の発熱等を考慮し、同時駆動する行配線数を増やすこともできる。

【0633】以上上述した本実施の形態によれば、複数の電子放出素子をマトリックス状に配置し、複数の行配線のうち、さらに所定の複数の行配線を選択し、その選択した行配線に流れる活性化電流の電流値を各行配線ごとに検出し、選択した複数の行配線の中から、所望の活性化電流が得られない行配線の活性化を中止する。

【0634】そして、活性化工程を中止していない行配線の活性化電流の電流値と各行配線の抵抗値とから複数の列配線に印加する補償電位の電位値を算出して、それを印加する。そのため、電子放出素子の活性化工程において、行配線の配線抵抗と活性化電流による電位降下が

104

生じて電子放出素子に印加する補償電圧が均一になる。従って、均一な電子放出素子特性を有する電子放出素子を提供することができる。

【0635】〔参考例12〕

以下の参考例では、これまで述べてきた実施の形態と一部異なる構成をとっている。本参考例12を説明するのに先立ち、複数の行配線を同時に選択して電圧印加工程を行う際に生じる問題点を詳細に説明する。

【0636】以下に両側からの引き出し配線が接続されている場合について説明する。実際に2ラインを同時に列配線から電圧補償を行いながら活性化電圧を印加している様子を模式的に表わしたのが図70である。この場合、行配線の2行目と(M-3)行目が選択されており、更に列配線からは電位補償をするための電位が印加されている。この場合の行配線上の電位分布の第1の例について図73を用いて説明する。行配線上の電位分布は図73(a)に示す通りに2行目と(M-3)行目で異なったものになっている。

【0637】このようになる原因としては、配線抵抗、特に行配線抵抗の違いや、フォーミング時の亀裂形成のばらつき、発生する活性化電流の違いなどにより電位降下が異なることが考えられる。また、図71に示すような真空容器（本図の詳細な構成、製造法、付加した符号の意味は後述の実施の形態で述べる）を用いた場合を考えると、構造的な要因で活性化材料ガスに図72に示すような分布が生じるため、活性化電流に違いが発生し、電位降下が異なることが考えられる。この時、列配線側より印加する電圧の分布は、図73(b)に示すもので2行目の電位分布に合わせたものになっている。この場合、素子に印加される電圧の分布は図73(c)に示す通りに2行目の素子については均一になるが、(M-3)行目については中央部分で電圧が下がり、これは素子特性の分布につながるものである。図示はしないが、逆に、(M-3)行目に対して列配線側の補償電位を決めたとすると、逆に2行目の素子については中央部分で電圧が上がることになりやはり素子特性の分布につながってしまう。

【0638】次に、電位分布の第2の例について図74を用いて説明する。行配線上の電位分布は図74(a)に示すように、分布の形は同じであるがオフセットがかかったようになっている。この原因としては、引き出し配線抵抗が各行毎に異なっている場合があるため、引き出し配線での電位降下量が異なってしまうと考えられる。この時、列配線側から印加する電位の分布を2行目の電位降下に合わせて行くとすると、その時の電圧は図73(b)に示すようになる。この時の素子に印加される電圧の分布を示したのが図74(c)であり、2行目の素子に比較して全体が低い電圧になってしまっている。この結果、2行目のラインと(M-3)行目のラインは特性が異なることになり、結果的には横構状の画

像になってしまう。

【0639】ここで、各行配線に対して設けられる外部回路との接続を行うための引き出し配線毎の電位降下の違いによる影響について述べる。

【0640】単純マトリックス配線された m 行 n 列のマルチ表面伝導型放出素子の通電活性化工程において2行目を通電活性化する時の等価回路を図86に示す。またこのとき電圧が印加されている2行目のみに注目した等価回路を図87(a)に示す。本図のように単純マトリックス配置の場合、素子間には $r1 \sim rn-1$ の配線抵抗が存在しており、更に行配線毎に給電するための引き出し配線抵抗 $rd2$ が接続されていることが分かる。このとき2行目が活性化されていくに連れて増加していく、素子電流 I_f 、放出電流 I_e の素子を示したのが図88である。本図のとおり活性化時には、1行に流れる電流値 I_f も、これによる放出電流 I_e も共に増加していく。つまり活性化の初期状態ではほぼ I_f は流れていないため電位降下はほとんどない。そのため1行上の素子に印加される電圧の分布は図87(b)の(ア)に示すようになる。しかし活性化が進行するにつれて I_f が流れるようになるため電位降下が生じ出し、活性化終了時には図87(b)の(イ)に示すようになる。この電位降下は引き出し配線部に因るものと素子配線部によるものに分けられる。ここで引き出し配線のパターンは、接続される配線、プローブ等のピッチ、形状等に合わせて柔軟に設計される場合が多く、各々の行番号に因って異なる場合がほとんどである。これは画像形成装置として高精度、多画素化が進むにつれて顕著になり、 $rd1$ 、 $rd2$ 、 \dots 、 rdm それぞれ異なった値になると考えられる。このような場合、 $rd2$ よりも引き出し配線抵抗が大きいラインの活性化終了時の電位分布は図87(b)の(ウ)に示すようになる。このように引き出し配線抵抗の違いによって活性化時の素子印加電圧がライン(行)毎に異なることになり、活性化終了時の素子特性がそれぞれ異なることになる。つまりこれが、ライン毎の輝度のばらつきが生じる原因になっていた。

【0641】以上説明したように、行配線上の電位分布を列配線から補償する場合に複数ラインを同時に選択して活性化する方法を組み合わせると、同時駆動ラインの電位分布が異なると本来目標としている活性化電圧に対してずれが生じてしまい、素子特性に分布や、ライン間の違いが発生してしまうという問題が発生する。

【0642】ここで、電位分布の説明において電位の供給端として行の両端を使用している場合について説明したが、片側から供給した場合も(電位降下の形が片側下がりになるが)同様の問題が発生し得る。

【0643】以降の参考例では、複数の行配線とそれらに交わる複数の列配線とにマトリックス状に配置し、前記複数の行配線の内、更に所定の複数の行配線を選択し、該選択した複数の行配線と直交する列配線側から前記

選択した複数の行配線の電位分布に応じた補償電位を印加して活性化した電子放出素子であって、前記複数の行配線を選択し、前記電子放出素子を配置する前に、前記複数の行配線の各々の配線抵抗を測定して、その配線抵抗の抵抗値の大きさに従って決定したりする。

【0644】複数の行配線とそれらに交わる複数の列配線とにマトリックス状に配置し、前記複数の行配線の内、更に所定の複数の行配線を選択し、該選択した複数の行配線と直交する列配線側から前記選択した複数の行配線の電位分布に応じた補償電位を印加して活性化した電子放出素子であって、前記複数の行配線を選択し、前記電子放出素子の1部を構成する導電性膜を複数形成した後であって該導電性膜をフォーミングする前に、前記各々の導電性膜の抵抗値を測定して、その抵抗値の大きさに従って決定したりする。

【0645】更に、複数の電子放出素子を、複数の行配線とそれらに交わる複数の列配線とにマトリックス状に配置し、前記複数の行配線の内、更に所定の複数の行配線を選択する選択手段と、前記複数の行配線に前記電子放出素子を通電活性化する電位を印加する電源供給手段と、前記複数の行配線に流れる電流の第1の電流値を各行配線ごとに検出する検出手段と、前記第1の電流値をもとにして前記複数の列配線に補償電位を印加する駆動手段と、前記選択した複数の行配線を記憶する記憶手段と、を備えた電子放出素子の製造装置であって、前記電源供給手段は、前記電子放出素子を配置する前に前記複数の行配線の各々に電位を印加し、前記検出手段は、前記複数の行配線の各々に流れる電流の第2の電流値を各行配線ごとに検出し、前記選択手段は、前記第2の電流値の大きさに従って前記複数の行配線を選択したりする。

【0646】更に又、複数の電子放出素子を、複数の行配線とそれらに交わる複数の列配線とにマトリックス状に配置し、前記複数の行配線の内、更に所定の複数の行配線を選択する選択手段と、前記複数の行配線に前記電子放出素子を通電活性化する電位を印加する電源供給手段と、前記複数の行配線に流れる電流の第1の電流値を各行配線ごとに検出する検出手段と、前記第1の電流値を基にして前記複数の列配線に補償電位を印加する駆動手段と、前記選択した複数の行配線を記憶する記憶手段と、を備えた電子放出素子の製造装置であって、前記電源供給手段は、前記電子放出素子を導通する導電性膜を複数形成した後であって、該導電性膜をフォーミングする前に前記複数の行配線の各々に電位を印加し、前記検出手段は、前記複数の行配線の各々に流れる電流の第3の電流値を各行配線ごとに検出し、前記選択手段は、前記第3の電流値の大きさに従って前記複数の行配線を選択したりする。

【0647】また、複数の行配線とそれらに交わる複数の列配線とにマトリックス状に配置し、前記複数の行配

107

線の内、更に所定の複数の行配線を選択し、該選択した複数の行配線と直交する列配線側から前記選択した複数の行配線の電位分布に応じた補償電位を印加して活性化した電子放出素子の製造方法において、前記複数の行配線は、前記電子放出素子を配置する前に前記複数の行配線の各々の配線抵抗を測定し、その配線抵抗の抵抗値の大きさに従って決定したりする。

【0648】更に画像形成装置は、上記いずれかの電子放出素子と、前記電子放出素子から放出される電子によって発光する蛍光体とを備えている。

【0649】更にまた、複数の行配線と、該複数の行配線に接続する電子放出素子とを有する電子源の製造方法であって、前記複数の行配線のうち所定の行配線を選択してその行配線に電位を印加する工程を有しており、該工程における前記行配線は、行単位の素子抵抗値に応じて行おうたりする。

【0650】本参考例12について更に詳細に述べる。

【0651】図75は、本参考例12に係る表面伝導型放出素子の通電活性化装置を示すブロック図である。

【0652】図75中、75101は通電活性化をするための表面伝導型放出素子基板である。表面伝導型放出素子基板75101には、複数の表面伝導型放出素子をマトリックス状に配置しており、既にフォーミング処理を完了したものである。表面伝導型放出素子基板75101は、図示しない真空排気装置に接続しており、10の4乗〜10の5乗 (torr) 程度に真空排気する。更に、行配線端子Dx1〜Dxm及び列配線端子Dy1〜Dymを介して外部の電気回路と接続している。

【0653】また、75102は活性化する行を選択するライン選択部である。ライン選択部75102は、後述するように、選択ライン記憶部75107に記憶されている情報を基に制御部75105から出力される指示に従って、同時に2本以上の行配線を選択する。これら選択した行配線には、電源部75104から出力する電位を印加する。75103は電流検出部であって、選択した行配線に電位を印加した際、選択した各行に流れる電流Ifを各行ごとに個別にモニタする。

【0654】電流検出部75103は、後述するように検出用抵抗R_{on}とこれの両端に生じる電圧を計測する計測アンプとを有する。これらにより、選択した複数の行配線に流れる電流を検出して活性化電流として制御部75105に出力する。尚、検出用抵抗R_{on}の抵抗値は、選択した各ラインごとの素子電流Ifが流れることによる電位効果を制御するように十分小さな値にしている。電源部75104は、制御部75105から出力される指令値によって、表面伝導型放出素子基板75101の行配線端子に印加する電位を出力する。

【0655】更に、75106は駆動回路部であって、制御部75105から出力される制御クロックHscan信号に同期したタイミングで、表面伝導型放出素子基板7

108

5101の列配線の端子Dy1〜Dymに電位を印加してこれらを駆動する。

【0656】本参考例12においては、通電活性化の進行状況を活性化時に流れる電流量、即ち、活性化電流値によって把握している。そして、制御部75105は、ユーザによって入力される通電活性化を開始する指令とともに、表面伝導型放出素子の活性化を開始する。また詳細は後述するが、活性化の進行状況に応じて変化する列の表面伝導型放出素子の駆動電位値を逐次補正する。

10 【0657】即ち、配線抵抗記憶部75108に格納されている配線抵抗値データと電流検出部75103の出力電流とを用いて、各表面伝導型放出素子に印加する電圧を補償する電位値を算出する。そして、この電位値を設定出力値として駆動回路部75106に備えるラッチ回路に記憶させる。

【0658】駆動回路部75106は、設定出力値に応じた駆動電位を発生して、それを各表面伝導型放出素子の列端子Dy1〜Dymに印加する。これにより、各表面伝導型放出素子において、素子電流と列配線抵抗によって生じる電位分布が補償され、各表面伝導型放出素子に常に一定の電圧が印加される。活性化の進行に応じて、逐次駆動回路部75106の駆動電位値を更新することで、活性化の終了時まで電位分布の補正が行われる。

【0659】制御部75105は、活性化電流値から活性化の進行具合をモニタし、ライン選択部75102に駆動するラインを決定させるための駆動ライン設定信号を出力する。これによって、ライン選択部75102は行配線を設定する。更に、制御部75105は、活性化電流値を基にして、各列配線に印加する駆動電位値By1〜Bynを逐次更新する。そして、駆動電位値に対応したデジタル出力データ(Data)を駆動回路部75106に出力する。

【0660】図76は、ライン選択部75102の構成を示す回路図である。ライン選択部75102は、内部にm個のスウィッチング素子(SW1〜SWm)を備えている。各スウィッチング素子SW1〜SWmは、電源部75104の出力電圧もしくは0[V] (グラウンドレベル)のいずれか一方を選択し、表面伝導型放出素子基板75101に備えている端子Dx1〜Dxmと電気的に接続するか否かを選択するものである。

【0661】各スウィッチング素子SW1〜SWmは、制御部75105から出力される制御信号に基づいて動作するものであるが、例えばFET、リレーのようなスウィッチング素子を組み合わせることにより容易に構成することもできる。図76においては、1行目(Sx1)と3行目(Sx3)とのラインが選択され、行配線Dx1、Dx3にのみ電源部75104からの出力電位が印加され、他のラインは非選択電位であるグラウンドに接続される。

【0662】図77は、電流検出部75103の構成を示す回路図である。電流検出部75103は、ライン選

109

択部75102から出力された通電活性化電位を配線Sx1からSxmを通じて入力する。電流検出部75103は、検出用の抵抗Rmonと、この抵抗Rmonの両端電圧を計測する電流計とを有している。図76に示したように、1行目及び3行目の行配線が選択されているときには、他の行配線には、電流が流れない。

【0663】そこで、1行目及び3行目の行配線に流れている電流は、

$$I1=V1/Rmon$$

$$I3=V3/Rmon$$

から算出することができる。Rmonの抵抗値は、Ifが流れるときの電位降下によって、表面伝導型放出素子基板75101への印加電圧に影響を与えないように十分低い値に設定している。この電圧計は、A/Dコンバータを使うことによって検出値を制御部に出力することができる。

【0664】図78は、駆動回路部75106の構成を示す回路図である。駆動回路部75106は、n個のラッチ(Latch)回路75401と、n個のD/Aコンバータ75402と、n個のバッファアンプ75403とを備えている。駆動回路部75106は、表面伝導型放出素子基板75101のn本の列配線Dy1~Dynを駆動する駆動信号を発生する。

【0665】駆動回路部75106は、制御部75105から出力されるデジタル出力データ(Data)をラッチ回路75401に入力する。活性化電流計測→出力データの演算→ラッチ回路75401へのデータの転送の一連の作業が完了すると、制御部75105から、D/Aコンバータ75402の出力データの更新を行うためのラッチクロック(Platch)が全てのラッチ回路75401に印加される。これによって、ラッチ回路75401は、ラッチクロックに同期してデータの更新を行う。

【0666】図79は、行配線の配線抵抗を測定するときのm行n列の表面伝導型放出素子基板の等価回路図である。図80は、測定された配線抵抗値R1, R2, R3, ..., Rmに基づいて、同じ選択ペアを組み合わせる方法を説明する図である。図79及び図80を用いて選択ラインを決定する方法について説明する。なお、本参考例12においては、2ラインを同時に選択する場合を例に説明する。活性化中の電位降下に違いが発生する原因の1つに、配線抵抗のばらつきが挙げられる。本参考例12においては、これについて改善する方法について説明する。

【0667】まず、表面伝導型放出素子基板の行配線に配線抵抗を測定する。本参考例12においては、行配線ごとに活性化を行っていくため、まず、行配線の配線抵抗を測定する。配線抵抗を測定する時期は、表面伝導型放出素子を形成するための導電薄膜を、表面伝導型放出素子基板上に形成する前に行うことが望ましい。これは導電薄膜を形成した後は、導電薄膜に配線抵抗を測定

110

するための電流がリークしてしまい、正確な測定が困難になるためである。

【0668】配線抵抗の測定は、図79に示すように、行配線Dx1の両端に測定プローブを接続することによって行う。そして、順次m行目まで測定を行う。測定した配線抵抗値を、それぞれR1, R2, R3, ..., Rmとして、配線抵抗記憶部にそのまま記憶させる。

【0669】次に、配線抵抗記憶部75108において、図80に示すように、配線抵抗値を大きい順に並べて、並べた順位2行ずつのペアを作り、更にこれに番号をつけて選択ライン記憶部75107に記憶させる。このような方法で1行目~m行目の行配線ではば配線抵抗の揃ったペアをm/2個作ることができる。このようにして選択ラインのペアを決定する。

【0670】続いて、図75、図78及び図79を用いて表面伝導型放出素子を活性化する手順について説明する。活性化は全ての個々の表面伝導型放出素子を流れる電流の電流値が目標となるようにする。このとき目標電流値は、必要とする電子放出量などから予め求められる。本参考例12においては、最終的に表面伝導型放出素子基板75101上の各表面伝導型放出素子の素子電流を、2mAになるように電流検出部75103の出力をモニタして、通電活性化処理を行う。

【0671】制御部75105が、ユーザによって活性化開始の指令が入力されると、制御部75105は行単位で通電処理を行うために、ライン選択部75102、電源部75104を制御する。

【0672】まず、列配線端子Dy1~Dynがグランド電位になるように、駆動回路部75106の設定出力値を設定する。一方、行配線端子Dx1~Dxmに順次活性化電圧Eacをパルス状に印加する。この活性化電位Eacは、例えば、パルス幅1ミリ秒、パルス高18Vのパルス波である。これにより、表面伝導型放出素子基板75101は、行単位に順次パルス電位が印加され、活性化がライン単位で開始する。なお、選択ライン記憶部75107に記憶されたペアに基づいて、時間短縮のため活性化は2ラインを単位として同時に通電処理を行う。

【0673】以下、ラインを単位とした通電処理を行う場合に、給電端からの距離に依存して起きる素子特性のばらつきを補正するための方法を説明する。本参考例12では、行配線端子Dx1とDx241との2本を同時に駆動する際、2本の内1本に注目し、行配線端子Dx1ライン上のn個の素子を活性化する場合について説明する。

【0674】図81は、1行目(Dx1ライン)の表面伝導型放出素子群75701を通電活性化する様子を示す図である。図81において、F1~Fnは行配線端子Dx1に接続した各表面伝導型放出素子、r1~rnは行配線Dx1の配線抵抗、Ryは各列配線Dy1~Dynの給電端から表面伝導型放出素子F1~Fnまでの配線抵抗である。ここで行配線は、一定の線幅、厚さ、材料で形成されるよ

111

うに設計されているため、製造上のばらつきを除けば $r_1 \sim r_n$ は等しいと考えられる。また、各列配線は、一般にどれも等しく設計されるため、各列配線の R_y は等しいと考えられる。

【0675】なお、通電活性化の前後で、表面伝導型放出素子 $F_1 \sim F_n$ の等価抵抗値は変化(減少)するが、 R_y の値に比べ各表面伝導型放出素子の等価抵抗は非常に大きく、本参考例12のように2ラインを同時に駆動した場合も、 R_y の両端の電位降下量は、非常に小さいため R_y は無視して考える。またここで、表面伝導型放出素子 $F_1 \sim F_2$ の等価抵抗値は $r_1 \sim r_n$ に比べて大きく設計されている。

【0676】表面伝導型放出素子群75701を活性化するため、制御部75105はライン遅延部75102を制御する。これは、行配線端子 D_{x1} に、活性化電位 E_{ac} を出力する電源部75104と電流検出部75103とを接続させる。これにより端子 D_{x1} には、活性化電位 E_{ac} が印加される。

【0677】一方、行配線 D_{x1} 上の表面伝導型放出素子の列配線の端子 $D_{y1} \sim D_{yn}$ は、駆動回路部75106により電圧が印加される。駆動回路75106は、各表面伝導型放出素子 $F_1 \sim F_n$ からの活性化電流 $i_1 \sim i_n$ をシンクするように動作する。

【0678】駆動回路部75106の出力電圧の値を設定方法を説明するため、通電活性化を行う際の各素子への駆動電位分布について説明する。

【0679】通電活性化を行う際、表面伝導型放出素子の電気特性は、図41に示すような変化をする。即ち、活性化を開始するときは、素子電流はほとんど流れず、通電が進行するにつれて、素子電流が流れてその後飽和*30

$$B_{y1} = -r_1 \times n \times i_{ave}$$

$$B_{y2} = -r_2 \times (n-1) \times i_{ave} + B_{y1}$$

$$B_{yn/2} = -r_n/2 \times i_{ave} + B_{yn-1} + B_{yn-2} + \dots + B_{y1} \quad \text{式(9)}$$

として算出される。

【0683】ここで、配線抵抗 $r_1 \sim r_n$ は、設計的には通常同一であり実際もほぼ等しいので実効的には、 $r = *$

$$B_{yk} = -\sum r \times i_{ave} \times (n/2 - k + 1) \quad \text{式(10)}$$

但し、 $k < n/2$ 、 Σ は $k=1 \sim k$ の総和を示す。★ ★【0684】

$$= -\sum r \times i_{ave} \times (k - n/2) \quad \text{式(11)}$$

但し、 $k = n/2$ 又は $r > n/2$ 、 Σ は $k=1 \sim k$ の総和を示す。とすることができる。

【0685】活性化の進行に従って変化する活性化電流を測定し、式(11)により各出力電圧値 $B_{y1} \sim B_{yn}$ を逐次算出し、制御部75105は、デジタル出力データを駆動回路部75106のラッチ回路75401に出力する。電流計測→出力データの演算→ラッチ回路75401へのデジタル出力データの出力という一連の作業が完了すると、制御部75105は、D/Aデータの更新を行うために、ラッチクロックを全てのラッチ回路75401に印加する。

112

*する。このとき、行配線 D_{x1} 上の表面伝導型放出素子群の行配線上の電位をモニタすると、配線抵抗 $r_1 \sim r_n$ の影響で $G_{y1} \sim G_{yn}$ 電位は変化する。この電位差は活性化の進行と共に大きくなり、活性化の最後に最も大きくなる。例えば、活性化電流 $2\text{mA}/1$ 素子、 $r_1 \sim r_n = 10\text{m}\Omega$ 、 $n = 1000$ の場合、給電端から最も遠い $F_n/2$ 素子の端子 G_{yn} においては、

$$\Delta V = (1/2) \times 500 \times 501 \times 2\text{mA} \times 10\text{m}\Omega$$

から、約2.5V程度の電位効果が生じることになる。

10 【0680】そこで、この電位降下分布と同じ電位分布を駆動回路部75106で発生させ、各表面伝導型電子放出素子に生じる電位分布をキャンセルする様に $D_{y1} \sim D_{yn}$ 端子に電位を印加する。即ち、活性化の進行に伴って、各表面伝導型放出素子 $F_1 \sim F_n$ に流れる電流と配線抵抗 $r_1 \sim r_n$ とによって、端子 $G_{y1} \sim G_{yn}$ に生じる電位降下分布を制御部75105で演算し、駆動回路部75106のD/Aコンバータ75402の出力値を設定することで、出力電圧 $B_{y1} \sim B_{yn}$ に電位降下分布を再現できる。

20 【0681】各素子 $F_1 \sim F_n$ の活性化がほぼ一様に進行すると仮定すると、各表面伝導型放出素子を流れる素子電流 $i_1 \sim i_n$ はほぼ等しく、その電流値は電流検出部75103で検出される電流量 I を用いて、 $i_{ave} = (i_1 = i_2 = \dots = i_n) I/n$ で表される。

【0682】このとき、各表面伝導型電子放出素子 $F_1 \sim F_n$ に流れる電流と配線抵抗 $r_1 \sim r_n$ とによって、端子 $G_{y1} \sim G_{yn}$ に生じる電位降下分布、即ち、駆動回路部75106の出力端子に出力すべき電圧値 $B_{y1} \sim B_{yn}$ は、配線抵抗値 $r_1 \sim r_n$ と i_{ave} とを用いて、

※ R_1/n (ここで R_1 は予め測定した1行目の行配線抵抗値)として問題ない。そこで式(9)は一般化して

40 ☆【0686】ラッチ回路75401は、ラッチクロックに同期してデータの更新を行う。これにより、駆動回路部75106は各表面伝導型放出素子 $F_1 \sim F_n$ の端子 $G_{y1} \sim G_{yn}$ に生じる電位分布量と同じ電位分布を発生する。これにより各表面伝導型放出素子 $F_1 \sim F_n$ の端子間に印加される電圧は素子番号、活性化の進行によらずに一定にすることができる。

【0687】図82(a)は、活性化を開始した直後の電位分布を示す図である。横軸は表面伝導型放出素子の位置を示している。縦軸は表面伝導型放出素子の両端の素子電位を示している。活性化を開始した直後には、前

述したように各表面伝導型放出素子を流れる電流は小さい。

【0688】従って、電源部75104から印加する活性化電位 E_{ac} を、例えば18Vとする。また活性化電流がほとんど流れていないので、駆動回路部75106の設定電流値もほぼ0となり、駆動回路部75106の出力電圧値 $B_{y1} \sim B_{yn}$ 及びバッファアンプ75403

(図78)の出力電位 $S_{y1} \sim S_{yn}$ もほぼ0Vになる。これにより、各表面伝導型放出素子には、一定の印加電圧である18Vの電圧が印加され、活性化が進行する。

【0689】また、図82(b)は、活性化を終了したときの電位分布を示す図である。活性化の終了時に各表面伝導型放出素子を流れる電流は、ほぼ2mAになっている。従って、電源部75104から印加する活性化電位 E_{ac} である18Vが、各表面伝導型放出素子の端子 $G_{y1} \sim G_{yn}$ に印加される間に配線抵抗の電位降下の影響で低下する。

【0690】このとき、駆動回路部75106の設定電流値を2mAとすれば、駆動回路部75106の出力電圧値 $B_{y1} \sim B_{yn}$ 及びバッファアンプ75403の出力電圧 $S_{y1} \sim S_{yn}$ の分布は、 $G_{y1} \sim G_{yn}$ の分布と同じになる。これにより、各表面伝導型放出素子には一定の印加電圧である18Vの電圧が印加されて活性化が行われる。即ち、活性化の進行に伴って素子電流が増加すると、配線抵抗の影響で表面伝導型放出素子に印加される電位分布が常に変化する。このとき、電位分布量を算出して駆動回路部75106の設定出力値として設定し、駆動回路部75106の出力電位値 $B_{y1} \sim B_{yn}$ を逐次更新することで、活性化の開始から終了まで全ての素子が一定の電圧で活性化される。そして、各表面伝導型放出素子の平均素子電流 i_{ave} が2mAに達したところで活性化を終了する。

【0691】以上の説明においては、行配線 D_{x1} 上の表面伝導型放出素子の活性化の説明を行ったが、他のライン上の表面伝導型放出素子を活性化する際も全く同様に適用できる。本参考例12においては活性化ラインを順次切り替えながら複数同時進行で通電活性化を行う。

【0692】このとき、本参考例12においては、2本のラインを同時に通電活性化処理しているため、同時に通電活性化するラインの選択に関して考慮が必要となる。しかし、これについては前述のように、予め選択ライン記憶部75107に記憶したベアの行番号の配線を選択して行うため、電位降下量(即ち、駆動回路部75106の電位分布発生量)が同じになり、同時駆動による素子印加電圧のずれが発生しない。

【0693】このようにして、表面伝導型放出素子基板75101の活性化を終了する。活性化電流と配線抵抗による電位降下を補償するため、駆動回路部75106の出力電位値 $B_{y1} \sim B_{yn}$ を逐次更新することで、活性化の開始から終了まで全ての表面伝導型放出素子が一定の

電位で均一に活性化され、かつ2ラインを同時に駆動することにより、1ラインずつを駆動していた場合に比べ半分の処理時間で通電活性化処理が完了する。

【0694】なお、本参考例12においては、電源部75104の出力を正として、端子 D_{x1} から端子 $D_{y1} \sim D_{yn}$ に電流を流す活性化を行ったが、これとは極性を逆にして端子 $D_{y1} \sim D_{yn}$ から端子 D_{x1} 側に電流を流すように活性化を行ってもよい。この場合は、電位分布も逆になるため、バッファアンプ75403を(-1)倍の反転バッファアンプとして、電流をソースするように設定することで全く同様の効果が期待できる。

【0695】また、本参考例12において駆動回路75106は、表面伝導型放出素子基板75101の列配線数 n と同じ数のD/Aコンバータ75402を用いて構成しているが、補償電位分布の形は図82に示すように緩やかに変化するため、D/Aコンバータ75402の数を間引いて、間引いた列配線端子に印加すべき電位値を抵抗分割によって規定してもよい。これにより、D/Aコンバータ75402の数を減らしてコストダウンすることができる。

【0696】さらに、列配線の表面伝導型放出素子の素子数 n が多くなった場合、素子電流計測→出力データの演算→データ転送という一連の作業は、時間がかかる可能性がある。これを処理する際、各表面伝導型放出素子ごとに並列して処理したり、電流値と配線抵抗値と列配線上の位置から補償電位値を発生するようなルックアップテーブル(LUT)参照方式を用いることで時間の短縮が図れる。

【0697】以上説明したように、本参考例12に示す通電活性化装置によれば、全ての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度又は濃度のばらつきが少ない高品位な面素表示装置が実現される。

【0698】[参考例13]

本参考例13にかかる活性化装置は、参考例12と同様に構成している。本参考例13と参考例12との異なる点は、同時に選択する行配線の本数と選択した行配線の組み合わせ方である。

【0699】課題で述べたように、例えば活性化をする行ごとで、同時に選択した行のそれぞれの活性化電流が異なる場合には、素子印加電圧にずれが生じる。これは、素子特性がばらつく原因になる。活性化電流が異なったものになる原因として、フォーミング時に作成される亀裂がばらつくことによるものが挙げられる。このばらつきは、フォーミング前の導電薄膜の抵抗ばらつきによって生じることがあり、つまりは薄膜抵抗値と活性化電流との間の相関によって生じることがある。

【0700】そこで、本参考例13では、行配線ごとの薄膜抵抗値を予め測定して、それによって活性化時の同時選択ラインをグルーピングするものである。

115

【0701】図83は、行配線ごとの導電薄膜抵抗を測定しているときの表面伝導型放出素子基板の等価回路図である。図83中、75901はフォーミング前の導電薄膜を示している。この導電薄膜は、1素子当たり数100Ωから数kΩの抵抗を有しており、本参考例13のように、列数nが数100から数1000に及ぶ場合には、配線抵抗の影響を受け正確に測定できるものではない。

【0702】しかし、本参考例13においては、正確に絶対値を必要とするものではなく、相対的に近いものをグルーピングする目的のため、このことは問題としないと考える。測定した行配線Dk1からDxmごとの抵抗値を各々Rs1からRsmとする。なお、配線抵抗の測定は、参考例12と同様の手法によって行う。

【0703】図84は、選択した行配線の組み合わせ方の説明図である。まず、測定した抵抗値Rs1～Rsmを抵抗値の大きい順に並べて、上から順に例えば3個ずつ組み合わせ、その組みごとに番号をつけて選択ライン記憶部75107に記憶させる。これにより、行配線3本ずつのグループが(m/3)個作成される。

【0704】従って、グループ分けされた行配線の番号同士が同時に選択されて活性化され、本参考例13にかかる通電活性化装置によれば、すべての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度又は濃度のばらつきが少ない高品位な画像表示装置を実現することができる。

【0705】[参考例14]

本参考例14にかかる活性化装置の構成は、参考例12と同様である。本参考例14と参考例12などとの異なる点は、選択した行配線の組み合わせ方である。

【0706】図85は、同時選択ラインの組み合わせ方の説明図である。まず、参考例12と同様に行配線抵抗を測定し、これをR1～Rmとする。次に、参考例13で行ったように導電薄膜75901を形成した後に、行ごとの抵抗を測定しこれをRs1～Rsmとする。まず、R1～Rmを大きい順に並べて、例えば2個ずつのペアを作る(ステップS121、ステップS122)。

【0707】次に、作ったペア同士で配線抵抗の差を比較し、その差が例えば0.1Ω以下のペア(グループ)同士については、グループを一度解いて、その中で今度は導電薄膜抵抗(Rs1～Rsm)の大きさの順に並べ替える(ステップS123)。ここでは、ステップS122で分けられたグループNo. 1～No. 3がこれに該当して並び替えを行っている。上下のグループと比較して0.1Ω以上差があったグループはそのままである(図85では、No. m/2-1とNo. m/2がこれに該当する)。

【0708】並び替えがあったグループについては、その中で再度上から2個ずつの新しいペアに分けて、最終的な同じ選択行の組みを作り、選択ライン記憶部751

116

07にき込む(ステップS124)。

【0709】ここで、配線抵抗値の差を0.1Ωを境にして並び替える理由について説明する。前述の例で、n=1000、r=10mΩのとき、行配線上の電位降下の最大値は約2.5Vである。このとき、配線抵抗の差0.1Ωはrに換算すると0.1/1000のときに0.1mΩであり、これによる、電位降下のずれは、最大値で0.025Vになる。このずれ量は、活性化印加電圧18Vに対して約0.14%であり実質的には無視できる量であると考えられる。そのため、この程度の配線抵抗の差では、活性化電流の差のほうを優先してグループ分けした方が実効的になるので、導電膜抵抗によって再度グループ分けすることにしてはいる。

【0710】なお、0.1Ωの値は、1例として挙げたもので、これに限られるものではなくnの数、配線抵抗の絶対値などに応じて適宜決められるものである。

【0711】以上説明したように、本参考例14にかかる通電活性化装置によれば、全ての表面伝導型放出素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度又は濃度のばらつきが少ない高品位な画像表示装置を実現することができる。

【0712】以上、参考例12～14で、活性化するときを選択する行配線を、予め設定する測定値として、配線抵抗及び導電膜抵抗、これらの組み合わせについて述べたが、予め活性化のときの電位分布の違いを予測できるものであればこれらに限るものではなく、新しい相関が判明したときには適宜追加していけばよい。また、同時駆動するライン数として2行及び3行について説明したが、行数はこれらに限るものではなく、マルチ表面伝導型放出素子基板の発熱強度によって最大ライン数が決定される。

【0713】さらに、本願の参考例において、行配線を通電する素子電流を基準にして、列配線に印加する補償電圧を決定しているが、列配線を通電する素子電流を基準にして、行配線に印加する補償電位を決定してもかまわない。

【0714】本参考例は、マトリックス状に配置した電子放出素子を通電活性化するとき、まず、電子放出素子を配置する前に複数の行配線の各々の配線抵抗を測定し、その配線抵抗の抵抗値の大きさに従って所定の行配線を選択して、選択した所定の行配線と直交する列配線側から選択した行配線の電位分布に応じた補償電位を印加して活性化する。

【0715】そのため、全ての電子放出素子の電子放出特性が均一化されるため、この電子放出素子を用いて輝度又は濃度のばらつきが少ない高品位な画像表示装置を実現することができる。

【0716】以降の参考例では、マルチ電子放出素子は以下の構成を有する。即ち、複数の電子放出素子が、行配線とそれに直交する列配線によりマトリックス接続さ

117

れ、行または列単位で通電活性化され、活性化単位と直交配線側から活性化単位配線上の電位分布に応じた補償電位を印加する活性化を施されるマルチ電子放出素子において、前記電圧印加単位が複数の列または行であり、複数の印加される行または列の組み合わせが、マルチ電子放出素子の設計値で決定されることを特徴とする。

【0717】また、複数の表面伝導型電子放出素子が、行配線とそれに直交する列配線によりマトリックス接続されたマルチ表面伝導型電子放出素子の活性化において、行または列配線を選択して同時に複数のラインを通電活性化処理を行うためのライン選択手段と電源供給手段、通電活性化処理時に素子に流れる電流をライン単位に計測する電流検出手段、前記電流検出手段の検出値を基にして電位が決定される前記ライン選択手段が接続された行または列配線と直交する列または行配線と接続された駆動手段、予めマルチ表面伝導型電子放出素子を選定する事で決められた同時に選択されるライン番号を記憶する選択ライン記憶手段、及び前述の電流検出手段の検出値と同じ選択ラインの記憶をした選択ライン記憶手段に基づいてライン選択手段及び電源供給手段、駆動手段を制御する制御手段を備える。

【0718】以下、添付図面に従って本発明に係る参考例15を詳細に説明する。

【0719】[参考例15]

次に、図89により本参考例15に係る表面伝導型電子放出素子の通電活性化装置の例について説明する。

【0720】図中、75101は通電活性化をするための表面伝導型電子放出素子基板である(本参考例15における基板75101には複数の表面伝導型電子放出素子がマトリックス状に配線されており、既にフォーミング処理が完了しているものとする)、基板75101は不図示の真空排気装置に接続されており、10のマイナス4乗からマイナス5乗[torr]程度に真空排気されている。さらに行方向配線端子Dx1~Dxm及び列方向配線端子Dy1~Dymを介して外部の電気回路と接続されている。75102は詳細を図76に示すように、活性化ラインを選択するライン選択部で、後述する様に予め表面伝導型電子放出素子基板の設計値に基づいて、決められた組み合わせを記憶する選択ライン記憶部75107を参照にして制御部75105が指示を出し、同時に2本以上の行方向配線を選択し、その選択した行方向配線に電源75104の電位を印加している。75103は電流検出部で、選択した行方向配線に電圧印加した際、選択した各行に流れる電流を行毎に個別モニタしている。電流検出部75103は、図77に示すとおり検出用抵抗 R_{mon} と、抵抗の両端に発生する電圧を計測する計測アンプから成り立っている。これらにより電源75104から選択したラインへ流れる電流 I_f を検出して制御部75105に出力する。なお、検出用抵抗 R_{mon} の抵抗値は素子電流 I_f が流れることによる電位降下で表面

118

伝導型電子放出素子への印加電圧が影響を受けないように十分小さな値にしている。電源75104は制御部75105からの指令値によって、表面伝導型電子放出素子基板の行方向配線端子に印加する電位を発生している。

【0721】一方、75106は駆動回路部で、制御部75105からの制御クロックTlatch信号に同期したタイミングで、表面伝導型電子放出素子基板75101の列方向配線の端子Dy1~Dymを駆動する。

【0722】本参考例15においては、通電活性化の進行状況を活性化時に流れる電流量：活性化電流で把握している。そして、制御部75105は通電活性化開始の指令とともに活性化を開始し、詳細は後述するが、活性化の進行状況に応じて変化する列方向の素子の駆動電位値分布を逐次補正する。即ち、配線抵抗記憶部75108に格納された配線抵抗値データと、引き出し配線記憶部75109に格納された引き出し配線抵抗値データと、電流検出部75103出力を用いて、各素子を補償する電位量を算出し、この値を駆動回路部75106に設定出力値として設定する。駆動回路部75106は、この設定出力値に応じて駆動電位を発生し素子の列方向電極に印加する。これにより、各素子において素子電流と行方向配線抵抗によって生じる電位分布が補正され、各素子に常に一定の電圧が印加される。活性化の進行に応じて逐次駆動回路部75106のデータを更新することで、活性化の終了時まで電位分布補正が行われる。また制御部75105は活性化電流値から活性化の進行をモニタし、ライン選択部75102を介して電源75104が同時に駆動する行方向配線を選択する。この動作の詳細も後述するが、制御部75105は駆動ライン設定信号をライン選択部75102に送信し、駆動すべき行方向配線を設定する。

【0723】次に、図76を参照してライン選択部75102を説明する。

【0724】同部は、内部に m 個のスイッチング素子(SW1~SW m)を備えるもので、各スイッチング素子は、電源75104の出力電位もしくは、非選択である0[V](グラウンドレベル)のいずれか一方を選択し、表面伝導型電子放出素子基板75101の端子Dx1~Dxmと電気的に接続するものである。各スイッチング素子は、制御部75105が出力する制御信号に基づいて動作するが、例えばFET、リレーのようなスイッチング素子を組み合わせることにより容易に構成することが可能である。図76においては1行目(Sx1)と3行目(Sx3)のラインが選択され、行方向配線Dx1、Dx3にのみ電源75104の出力電位が印加され、他のラインはグラウンドに接続されている。

【0725】図78は、駆動回路部75106の構成を示す回路図である。

【0726】駆動回路部75106は、 n 個のラッチ回

119

路75401とD/Aコンバータ75402及びバッファアンプ75403で構成され、表面伝導型電子放出素子基板75101のn本の列方向配線を駆動する駆動信号を発生する。制御部75105は、後述する手順により活性化電流値を基にして、各列方向配線を駆動する駆動電圧値By1~Bynを逐次更新する。制御部75105は駆動電位量に対応したデジタル出力データ(Dat a)を駆動回路部75106のラッチ回路75401に転送する。活性化電流計測→出力データの演算→ラッチ回路へのデータの転送の一連の作業が完了すると、制御部75105は、D/Aコンバータ75402出力データの更新を行うためにラッチクロック(Tlatch)を全てのラッチ回路75401に印加し、同期してデータの更新を行う。

【0727】次に本参考例15における同じ選択ライン(本参考例15においては2ライン同時なので2本ずつのペア)を決定する方法について説明する。先に述べたように活性化中の電位降下に違いが発生する原因の第1に引き出し配線抵抗の違いが挙げられる。本参考例15においてはこれについて改善する方法について述べる。

【0728】まず、引き出し配線抵抗が行配線毎に異なっている例を図90を用いて説明する。図90(a)は、表面伝導型電子放出素子基板上の行配線パターン全体のアウトラインを模式的に表わしたもので、大きくは、素子部配線と引き出し部配線に分ける事ができる。ここで、引き出し部は、所定の行配線数毎にパターンが絞り込まれて接続部につながっている。これらP部を詳細に示したのが同図(b)である。このようなパターンになるのは、所謂フレキシブル配線(以降フレキと記す)等を圧着するためのもので、通常フレキの寸法精度などの理由から図90(b)に示した接続部に圧着できるフレキの幅が制限され、その幅毎に両側にデッドスペースが必要になる。このような場合に引き出し部の抵抗をそれぞれの行配線番号に対してプロットすると図91(a)のようになる。以降の説明においては行配線数mは480、フレキの配線単位は「80」として説明する。このように、引き出し配線抵抗は、配線パターンの繰り返しと同様に80行ごとの繰り返しになっており、各フレキ単位毎に1~40、41~80が対称になっている。ここで示した抵抗値は、配線材料、配線の膜厚が決まっていると配線のパターンから容易に計算できるので、パターン設計が決まると求めることができる。このようにして求めた引き出し配線抵抗はそれぞれRd1、Rd2、Rd3、...Rd480として引き出し配線抵抗記憶部75109に記憶される。次に、このようにして求められた引き出し配線抵抗に基づいて同時選択行の組み合わせを図91(b)に示すように行う。つまり配線パターンで対称になっている行配線同士を組み合わせで240組の同時駆動行番号を設定し、これを選択ライン記憶部75107に記憶する。

120

【0729】引き続き、本参考例15の装置を用いて、表面伝導型電子放出素子基板75101を活性化する手順について図89及び図78により説明する。活性化は全ての素子のIf値が目標電流値を超えるように行う。この時、目標電流値は必要とする電子放出量などから予め求められる。本参考例15においては、最終的に表面伝導型電子放出素子基板75101上の各素子の素子電流を2mAになるように電流検出部75103出力をモニタして通電活性化処理を行った。

【0730】以下に活性化のフローについて説明する。

【0731】制御部75105が、活性化開始の指令(外部より装置操作者が入力する)を受信すると、制御部75105は行単位で通電処理を行うために、ライン選択部75102、電源75104を制御する。

【0732】まず、列方向配線端子Dy1~Dymをグランド電位になる様、信号値Dataを設定する一方、行方向配線端子Dx1~Dxmに順次活性化電位をパルス状に印加する(例えば、パルス幅1ミリ秒、パルス高18V:以下この電位をEacとする)。これにより表面伝導型電子放出素子基板75101は行方向単位に順次パルス電位が印加され、活性化がライン単位で開始する。なお、前述した選択ライン記憶部に記憶されたペアに基づいて、時間短縮のため活性化は2ラインを単位として同時に通電処理を行った。

【0733】以下、ラインを単位とした通電処理を行う場合に給電端からの距離に依存して起きる素子特性のばらつきを補正するために本参考例15で用いた方法を説明する。本参考例15では、行方向配線端子Dx1とDx80の2本を同時に駆動する際、2本の内1本に注目し、行方向配線端子Dx1ライン上のn個の素子を活性化する場合について説明する。

【0734】活性化電圧を印加している1行目(Dx1ライン)の表面伝導型素子群に着目する。各素子の配線抵抗を含めたモデルで表面伝導型電子放出素子群75701を表し、この素子群を通電活性化の様子を図92で説明する。図92において、F1~Fnは行方向配線端子Dx1ライン上の表面伝導型電子放出素子、r1~r_{n+1}は行配線Dx1における各部の配線抵抗、rd1は行配線Dx1の引き出し配線抵抗、Ryは各配線Dy1~Dymの給電端から表面伝導型電子放出素子までの配線抵抗である。

【0735】ここで引き出し配線を除いた行配線は一定の線幅、厚さ、材料で形成されるように設計されるため、製造上のばらつきを除けばr1~r_{n+1}は等しいと考えてよい。また各列配線はどれも等しく設計されるため各列配線のRyは等しいと考えられる。なお、通電活性化の前で表面伝導型電子放出素子の等価抵抗値は変化(減少)するが、Ryの値に比べ各素子の等価抵抗は非常に大きく、本参考例15のように2ラインを同時に駆動した場合もRy両端での電位降下量は非常に小さく、

Ryは無視して考えてよい。また一般に、表面伝導型電

121

子放出素子F1~Fnの等価抵抗値は、r1~rn+1に比べて大きく設定されている。

【0736】表面伝導型電子放出素子群75701を活性化するため、制御部75105はライン選択部75102を制御し、活性化電圧を出力する電源75104、電流検出部75103を方向配線端子Dx1に接続する。これにより行配線Dx1は活性化電位Eacで駆動される。

【0737】一方、Dx1ライン上の素子のもう一方の電極端子であるDy1~Dyn端子は駆動回路部75106により駆動される。駆動回路部75106は、各素子F1~Fnからの活性化電流i1~inをシンクするように動作する。

【0738】駆動回路部75106の出力設定方法を説明するため、通電活性化を行う際の各素子への駆動電位分布について説明する。

【0739】通電活性化を行う際、素子の電気特性は図41に示すような変化をする。即ち活性化の開始時は素子電流はほとんど流れず、通電と共に素子電流が流れ飽和する。この時、引き出し配線抵抗rd1によって行配線1上のGy0、Gy0'の電位が徐々に低下する。該電位降下量をΔV1とすると、

$$\Delta V1 = rd1 \times I / 2$$

(ここでIは図92で示した様に給電端から行配線Dx1に流れ込む電流)で表せる。

【0740】更に、行配線Dx1上の素子群の行配線上の電位をモニタすると配線抵抗r1~rnの影響でGy1~Gyn電位は降下する。この電位降下は活性化の進行と共に*

$$By1 = -r1 \times n \times iave - \Delta V1$$

$$By2 = -r2 \times (n-1) \times iave + By1 - \Delta V1$$

$$Byn/2 = -rn/2 \times iave + Byn-1 + Byn-2 + \dots + By1 - \Delta V1$$

式(12)として算出される。ここで配線抵抗r1~rnは設計的には通常同一であり、実際もほぼ等しいので実効的には $r = R1/n$ (ここでR1は予め測定した1行目の行配線抵抗値)として問題無い。そこで式(12)*

$$Byk = \Sigma \{ r \times iave \times (k - n/2) \} - \Delta V1$$

(ただし、Σはk=n、n-1、…、n/2の合算を示す)活性化の進行に従って変化する活性化電流を測定し、上式により各出力電圧By1~Bynを逐次算出し、デジタル出力データを制御部75105は駆動回路部75106のラッチ回路75401に転送する。電流計測→出力データの演算→ラッチ部へのデータの転送の一連の作業が完了すると、制御部75105は、D/Aデータの更新を行うためにラッチクロックを全てのラッチ回路75401に印加し、同期してデータの更新を行う。これにより駆動回路部75106は素子F1~Fnの端子Gy1~Gynに生じる電位降下量と同じ電位分布を発生する。これにより各素子F1~Fnの端子間に印加される電★50

122

*大きくなり活性化の最後に最も大きくなる。例えば、活性化電流2mA/1素子、r1~rn+1=10mΩ、n=1000の場合、給電端から最も遠いFn/2素子の端子Gyn/2においては、 $\Delta V2 = (1/2) \times 500 \times 501 \times 2[mA] \times 10[m\Omega] \approx 2.5[V]$ 程度の電位降下が生じることになる。この時、上述のΔV1は、rd1を1[Ω]とすると、

$$\Delta V1 = 1[\Omega] \times 2[mA] \times 1000 / 2 = 1[V]$$

となり、両方で約3.5V程度の電位降下が生じる。

【0741】そこで、この電位分布と同じ電位分布を駆動回路部75106で発生させ、各素子に生じる電圧分布をキャンセルする様にDy1~Dyn端子を駆動する。

【0742】即ち、活性化の進行に伴って、引き出し配線抵抗rd1での電位降下及び、各素子F1~Fnに流れる電流と配線抵抗r1~rnによって端子Gy1~Gynに生じる電位降下分布を、制御部75105で演算し、駆動回路部75106のD/Aコンバータ出力値を設定することで、出力By1~Bynに電位降下分布を再現できる。各素子F1~Fnの活性化がほぼ一様に進行すると仮定すると各素子を流れる素子電流i1~inはほぼ等しく、その電流値は電流検出部75103で検出される電流量Iを用いて

$$iave = i1 = i2 = \dots = in = I / n \text{ で表される。}$$

【0743】この時、各素子F1~Fnに流れる電流と配線抵抗r1~rn+1によって端子Gy1~Gynに生じる電位降下分布に上述のΔV1を加えた電位降下即ち、駆動回路部75106の出力端子に出力すべき電圧By1~Bynは、配線抵抗値r1~rnとiaveを用いて、

*は一般化して

$$Byk = \Sigma \{ r \times iave \times (n/2 - k + 1) \} - \Delta V1$$

(ただし、Σはk=1、2、…、n/2+1の合算で示す)

式(13)

★圧は素子番号、活性化の進行によらずに一定にすることができる。

【0744】図93は、活性化の開始と終了時に素子F1~Fnの両端に印加される電位分布を示したものである。図93(a)は活性化開始直後の電位分布を示している。横軸は素子番号F1~Fnであり、素子の位置を示している。縦軸は素子両端の端子電位を示している。活性化の開始直後は前述したように各素子を流れる電流は小さい。従って電源75104から印加する活性化電圧Eac=1.8Vが各素子の端子Gy1~Gynに印加される。また活性化電流がほとんど流れないで駆動回路部75106の設定電圧値もほぼ0となり、駆動回路

123

部75106出力By1~Byn及びバッファアンプ403の出力もほぼ0Vになる。これにより各素子には一定の印加電圧約18Vが印加され、活性化が進行する。

【0745】また図93(b)は活性化終了時の電圧分布を示している。活性化の終了時は前述したように各素子を流れる電流は、ほぼ2mAになっている。従って電源75104から印加する活性化電位Eac=18Vが各素子の端子Gy1~Gynに印加される間に配線抵抗の電位降下の影響で低下する。この時、駆動回路部75106の設定電位値は、上述の式(13)に基づいて制御部75105によって算出することで駆動回路部75106出力By1~Byn及びバッファアンプ75403出力の分布はGy1~Gynの分布と同じになる。これにより各素子には一定の印加電圧約18Vが印加されて活性化が行われる。

【0746】即ち、活性化の進行に伴って素子電流が増加すると配線抵抗の影響で素子に印加される電圧に分布が常に変化する。この時、電位分布量を算出し駆動回路部75106の設定出力値として設定し、駆動回路部75106出力By1~Bynを逐次更新することで活性化の開始から終了まで全ての素子が一定の電圧で活性化される。そして各素子の平均素子電流iaveが2mAに達したところで活性化を終了した。

【0747】以上の説明においては、行配線Dx1上の素子の活性化の説明を行ったが、他のライン上の素子を活性化する場合も全く同様に適用できる。本参考例15においては、活性化ラインを順次切り替えながら複数同時進行で通電活性化を行った。この時、本参考例15においては、2本のラインを同時に通電活性化処理しているため、同時通電活性化ラインの選択に関して考慮が必要となるがこれについては前述のように、予め選択ライン記憶部75107に記憶したベアの行番号の配線を選択して行うため、電位降下量(即ち駆動回路部75106の電位分布発生量)が同じになり、同時駆動による素子印加電圧のずれが発生しない。

【0748】このようにして表面伝導型電子放出素子基板75101の活性化を終了する。活性化電流と配線抵抗による電位降下を補償するため駆動回路部75106出力By1~Bynを逐次更新することにより、活性化の開始から終了まで全ての素子が一定の電圧で均一に活性化され、かつ2ラインを同時に駆動することにより、1ラインずつを駆動していた場合に比べ半分の処理時間で通電活性化処理が完了した。

【0749】なお、本参考例15においては、電源75104の出力を正極性として、端子Dx1から端子Dy1~Dynに電流を流す方向で活性化を行ったが、これとは極性を逆にして端子Dy1~Dynから端子Dx1側に電流を流すように活性化を行ってもよい。この場合は、電位分布も逆になるため、バッファアンプ75403を(-1)倍の反転バッファアンプとして、電流をソースするよう

124

に設定することで全く同様の効果が期待できる。

【0750】また本参考例15において、駆動回路部75106は表面伝導型電子放出素子基板75101の列方向配線数nと同じ数のD/Aコンバータで構成したが、補償電位分布の形は図93に示すように緩やかに変化するため、D/Aコンバータの数を間引いて、間引いた列方向配線端子に印加すべき電位値を抵抗分割によって規定しても良い。これによりD/Aコンバータの数を減らしてコストダウンを可能とする。

【0751】また列配線方向の素子数nが大きくなった場合、素子電流計測→出力データの演算→データ転送の一連の作業は時間がかかる可能性がある。これを処理する際、各素子毎に並列して処理したり、電流値と配線抵抗値と列方向配線上の位置から補償電圧値を発生するようなルックアップテーブル(LUT)参照方式を用いることで時間の短縮が図れる。

【0752】以上説明したように本参考例15の通電活性化装置によれば、全ての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度または温度のばらつきが少ない高品位な画像表示装置が実現される。

【0753】[参考例16]

本発明の参考例16に係る活性化装置の構成は前述の参考例15と同じであるので説明は省略する。この参考例16において異なるのは選択組み合わせの方法なのでこれについて説明する。

【0754】先に説明したように、活性化を行う単位(本参考例16の場合は行)で、同時に選択した単位でそれぞれの活性化電流が異なった場合、素子印加電圧にずれが生じて特性バラ付きの原因になる。このような活性化電流が異なったものになる原因として活性化時の材料ガスの圧力分布が、排気管を含んだ真空容器の構造的な要因によって生じるためである。そこで本参考例16では、構造的な要因によって生じる活性化材料ガスの分布に基づいて同時駆動を行う行配線を設計時に予め決定するものである。

【0755】本参考例16における真空容器の構造は、図71で示したものと同様で4本の排気管により真空排気装置及び活性化材料ガス供給源に接続されている。この場合の、材料ガス圧力分布は、図72のようになるが、この分布についてさらに図94を用いて説明する。材料ガス分布図に素子マトリックス部を示したのが図94(a)である。実際に、活性化電流に影響を与えるのは該図の素子マトリックス部の圧力分布であり、この部分の断面A-Aにおける圧力分布を模式的に表したのが図94(b)である。本図において横軸はマトリックスの行配線番号であり、前述の参考例15と同様にm=480として以下の説明を行う。本図の通り、構造的に对称の場合は圧力分布は行配線番号に沿って中央で対称になる事が分かる。このような圧力分布は、真空容器の構

125

造、活性化材料ガスの種類、供給圧力などを決めると決まるものであり予め予想ができる。

【0756】次に、図95を用いて選択ラインの組み合わせを行う方法について説明する。図95(a)は図94(b)で示した行配線番号に沿った活性化材料ガス分布について一部の配線番号についてプロットで表したもので、それらに対応して2行配線同士を組み合わせたのが図95(b)の表である。本図の通り活性化ガス圧力が同じ値の行配線同士を組み合わせる。具体的には、1と480、2と479...nと(481-n)(ここでnは1~240の整数)、...239と240の240組みができる。図95(b)の表を選択ライン記憶部に格納して、本参考例16においても、前述の参考例15と同様に2行配線毎の同時駆動とした。

【0757】この後、これに沿って活性化装置が動作し、電位降下が補償され活性化が行われる手順等については、参考例15と同様のため説明は省略する。

【0758】以上説明したように、グループ分けされた行配線番号同士が同時に選択されて活性化され、本参考例16の通電活性化装置によれば、全ての素子の電子放出特性が均一化される。これにより、この電子源基板を用いて輝度または濃度のばらつきが少ない高品位な画像表示装置が実現された。

【0759】以上、参考例15、16で、活性化時に同じに選択する行配線を予め設定するための設計値として、引き出し配線抵抗及び真空容器の設計構造に起因する活性化ガスの分布について述べたが、予め活性化時の電圧分布の違いを予測できるものであればこれらに限るものではなく、新しい相関が判明した時には適宜追加していけば良い。また、同時駆動するライン数が2の場合で説明したが、これに限るものではなく、マルチ表面伝導型電子放出素子基板の発熱強度などによって最大ライン数が決定される。また、組み合わせる行配線に対応する引き出し配線抵抗、ガス圧力として完全に一致している場合だけではなく、電位降下分布の差が誤差として無視できる程度であれば、同時駆動の組み合わせとして使える事は言うまでもない。

【0760】以上説明したように本参考例15、16によれば、複数の表面伝導型電子放出素子が、行配線とそれに直交する列配線によりマトリックス接続されたマルチ表面伝導型放出素子を活性化する場合、行または列配線を選択して同時に複数のラインを通電活性化処理を行い、その時に発生する配線上の電位分布を、それらの配線と直交する列または行配線から補償するために、予め表面伝導型電子放出素子基板の設計値より同時に選択するラインの組み合わせを設定することにより、全ての素子の電子放出特性が均一化され、この電子源基板を用いて輝度又は濃度のばらつきが少ない高品位な画像表示装置が実現される。

【0761】以上説明したように本実施の形態によれ

126

ば、特にマトリックス接続された各電子放出素子の電子放出特性にばらつきを少なくすることが可能になる。

【0762】

【発明の効果】以上述べた様に本発明によれば、電子源の全ての素子の電子放出特性が均一化でき、このような電子源を用いて高品位な画像を形成できる画像形成装置を提供できる。

【図面の簡単な説明】

【図1】本発明の参考例1の通電活性化装置のブロック図である。

【図2】参考例1で使用したライン選択回路を示す図である。

【図3】参考例1で使用した電圧分布発生回路を示す図である。

【図4】参考例1で、ある1ライン上の素子を通電活性化している駆動例を示す図である。

【図5】参考例1で、ある1ライン上の素子を通電活性化している時の各素子の駆動電圧分布を示す図である。

【図6】本発明の参考例2の通電活性化装置のブロック図である。

【図7】参考例2で、ある1ライン上の素子を通電活性化している時の各素子の駆動電圧分布を示す図である。

【図8】本発明の参考例3の通電活性化装置のブロック図である。

【図9】参考例3である1ライン上の素子を通電活性化している駆動例を示す図である。

【図10】参考例3で、ある1ライン上の素子を通電活性化している時の各素子の駆動電圧分布を示す図である。

【図11】本発明の参考例4の通電活性化装置のブロック図である。

【図12】参考例4で、ある1ライン上の素子を通電活性化している駆動例を示す図である。

【図13】本発明の参考例5の通電活性化装置のブロック図である。

【図14】参考例5で、ある1ライン上の素子を通電活性化している駆動例を示す図である。

【図15】1ライン毎に活性化を完了させ、ラインを進めていく手順で活性化を行なう場合の制御手順のフロー図である。

【図16】本発明の参考例6の通電活性化装置のブロック図である。

【図17】参考例6で、ある1ライン上の素子を通電活性化している駆動例を示す図である。

【図18】参考例7における表面伝導型放出素子の通電活性化装置のブロック図である。

【図19】参考例7の通電活性化装置で使用したライン選択回路を示す図である。

【図20】参考例7で、表面伝導型放出素子基板の各端子に印加する駆動電圧波形を示す図である。

127

【図21】1ライン毎に活性化を完了させ、ラインを進めていく手順で活性化を行なう場合の制御手順のフロー図である。

【図22】本発明の実施例である画像表示装置の、表示パネルの一部を切り欠いて示した斜視図である。

【図23】表示パネルのフェースプレートに蛍光体配列を例示した平面図である。

【図24】実施の形態で用いた平面型の表面伝導型放出素子の平面図(a)、断面図(b)である。

【図25】平面型の表面伝導型放出素子の製造工程を示す断面図である。

【図26】通電フォーミング処理の際の印加電圧波形を示す図である。

【図27】通電活性化処理の際の印加電圧波形(a)、放出電流 I_e の変化(b)を示す図である。

【図28】実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図29】垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図30】実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフである。

【図31】実施の形態で用いたマルチ電子源の基板の平面図である。

【図32】実施の形態で用いたマルチ電子源の基板の一部断面図である。

【図33】実施の形態で用いた通電活性化装置のブロック図である。

【図34】実施の形態で用いたメモリの内容を示す図である。

【図35】実施の形態における活性化の進行を説明する図である。

【図36】従来の技術を説明する図である。

【図37】課題例を説明する図である。

【図38】、

【図39】、

【図40】、

【図41】、

【図42】、

【図43A】、

【図43B】課題例を説明する図である。

【図44】本発明の参考例9に係る通電活性化装置の構成を示すブロック図である。

【図45】本発明の参考例9に係るライン選択回路の構成を示す回路図である。

【図46】本参考例9に係る画素電極駆動回路の構成を示すブロック図である。

【図47】参考例9において、1番目の行配線に接続された表面伝導型放出素子を通電活性化している際の状態を示す図である。

【図48】参考例9で、ある1行配線に接続されている

128

表面伝導型放出素子を通電活性化している時の各素子の駆動電位分布を説明する図である。

【図49】本発明の参考例9に係る活性化処理を示すフローチャートである。

【図50】本発明の参考例10に係る活性化装置の構成を示すブロック図である。

【図51】本発明の参考例10に係る活性化処理を示すフローチャートである。

【図52】本発明の参考例11において素子を通電活性化する駆動例を示す図である。

【図53】参考例11において素子を通電活性化する駆動例を配線抵抗を含めて説明する図である。

【図54】参考例11に係る通電活性化を示すフローチャートである。

【図55】図44の通電処理回路の一部の構成図である。

【図56】実施の形態1において行配線を同時駆動するときの各行配線の活性化特性図である。

【図57】実施の形態1における活性化時の電位分布を示す図である。

【図58】実施の形態1における活性化処理を示すフローチャートである。

【図59】実施の形態2における活性化処理を示すフローチャートである。

【図60】実施の形態3における活性化処理を示すフローチャートである。

【図61】実施の形態4に係る通電装置の一部構造図である。

【図62】実施の形態4における活性化電流を説明する図である。

【図63】実施の形態4における活性化電流のヒストグラムを説明する図である。

【図64】実施の形態4における活性化処理を示すフローチャートである。

【図65】実施の形態4における再活性化処理を示すフローチャートである。

【図66】実施の形態5における活性化電流を説明する図である。

【図67】実施の形態5における活性化処理を示すフローチャートである。

【図68】実施の形態6における活性化電流を説明する図である。

【図69】実施の形態6における活性化処理を示すフローチャートである。

【図70】2ラインを同時に列配線から電位補償を行いながら活性化電圧を印加する様子を示す模式図である。

【図71】表示装置の一部破断構成図である。

【図72】図71の真空容器の構造的な要因による活性化材料ガスの分布を示す図である。

【図73】2ラインを同時に列配線から電位補償を行い

ながら活性化電圧を印加する場合の行配線上の電位分布、列配線側より印加する電位分布、及び素子に印加される電位分布を示す図である。

【図74】2ライン同時の活性化電位を印加した際の、行配線上の電位分布、列配線側から印加する電位分布、及び素子に印加される電位分布を示す図である。

【図75】本発明の参考例12に係る通電活性化装置の構成を示すブロック図である。

【図76】図75のライン選択回路の構成を示す回路図である。

【図77】図75の電流検出回路の構成を示すブロック図である。

【図78】図75の駆動回路の構成を示すブロック図である。

【図79】配線抵抗の測定を説明する図である。

【図80】参考例12に係る同時選択ラインの組み合わせ方を説明する図である。

【図81】駆動回路での電位分布を補正する様子を説明する図である。

【図82】活性化処理中に変化する電位分布を説明するグラフ図である。

【図83】通電フォーミング前の行単位の導電膜の抵抗測定を説明する図である。

【図84】参考例13に係る同時選択ラインの組み合わせ方を説明する図である。

【図85】参考例14に係る同時選択ラインの組み合わせ方を説明する図である。

【図86】2行目の表面伝導型放出素子に通電活性化用電圧を印加する場合の等価回路図である。

【図87】図86における2行目を通電活性化するとき

の等価回路図と活性化における素子印加電圧の変化を示す図である。

【図88】通電活性化されていく過程での素子電流 I_f と放出電流 I_e の様子を説明する図である。

【図89】本発明の参考例15に係る通電活性化装置の構成を示すブロック図である。

【図90】引出し配線パターンを説明する図である。

【図91】参考例15に係る同時選択ラインの組み合わせ方を説明する図である。

10 【図92】駆動回路での電位分布を補正する様子を説明する図である。

【図93】活性化処理中に変化する電位分布を説明する図である。

【図94】参考例16における活性化材料ガス分布を説明する図である。

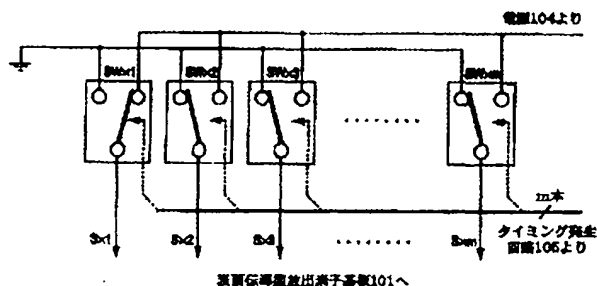
【図95】参考例16に係る同時選択ラインの組み合わせ方を説明する図である。

【要約】

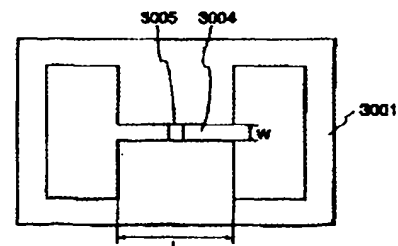
【課題】行列状に配置された複数の導電部材それぞれに印加される電圧の差を緩和する。

【解決手段】バッファアンプ107によって電位が印加されて表面伝導型放出素子基板101の列配線に電位が印加され、ライン選択回路102により選択された1行の行配線に電位が印加される。これにより、選択された1列の導電部材の両端に生じる電位差で、その導電部材が活性化される。その際、制御回路106は活性化の進捗をモニタ回路103で監視し、電位分布発生回路108によって、各導電部材による行配線の電位の降下に見合った列配線電位が与えられる。

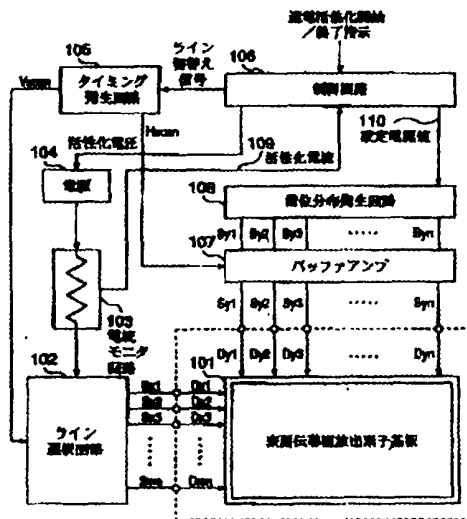
【図2】



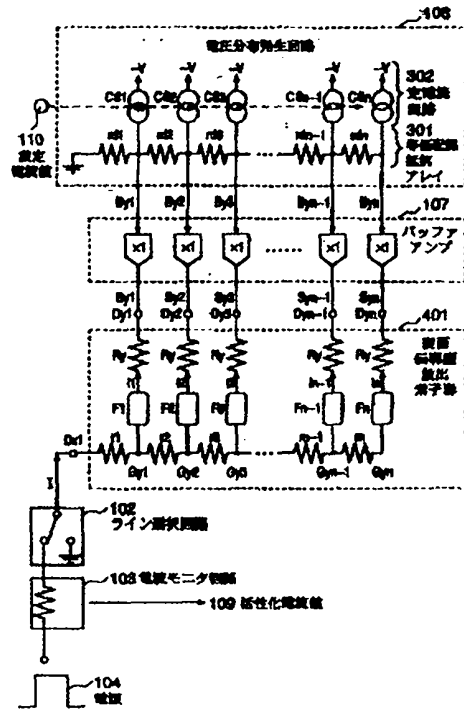
【図36】



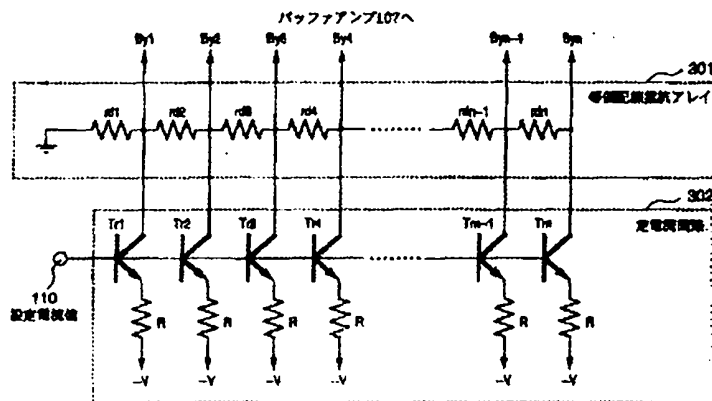
【図1】



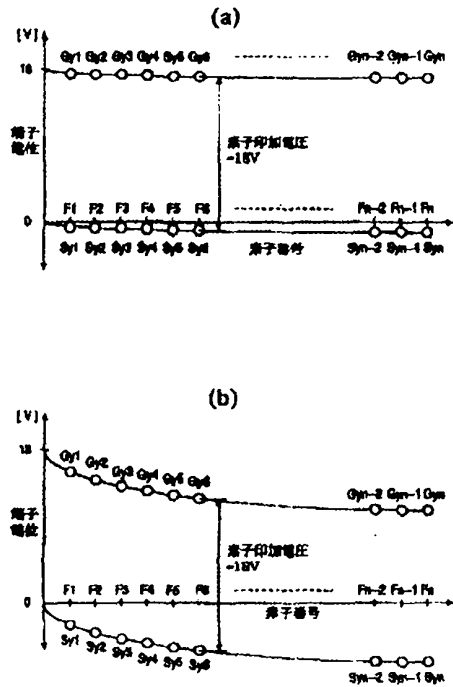
【図4】



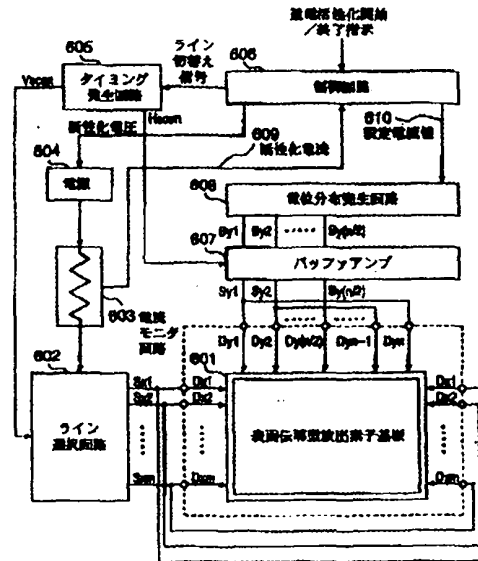
【図3】



【図5】

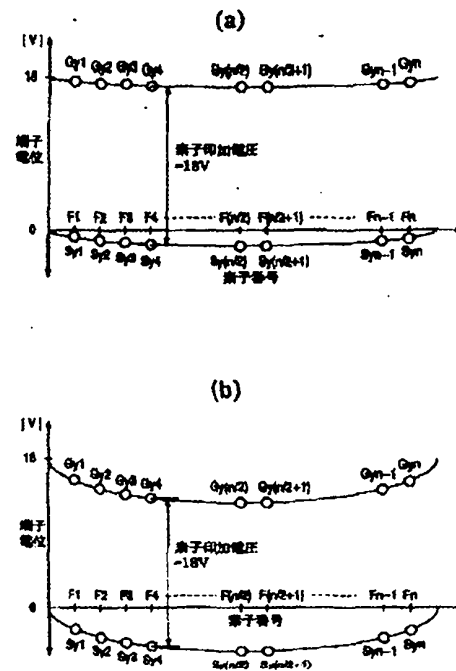
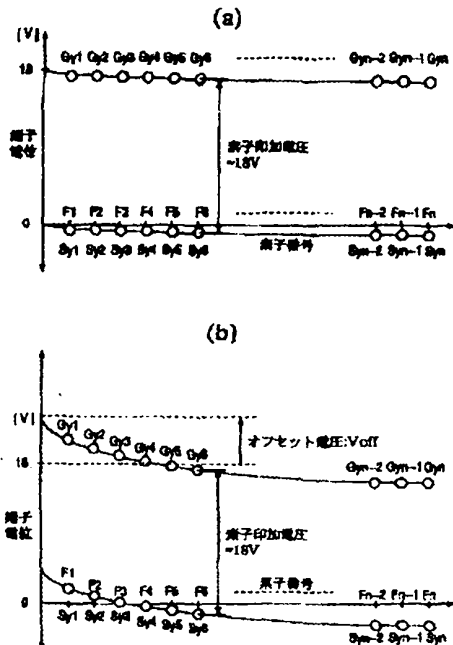


【図6】

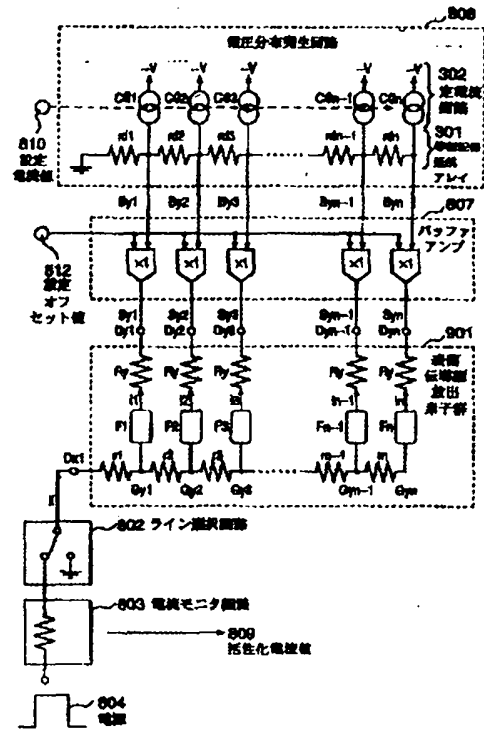


【図7】

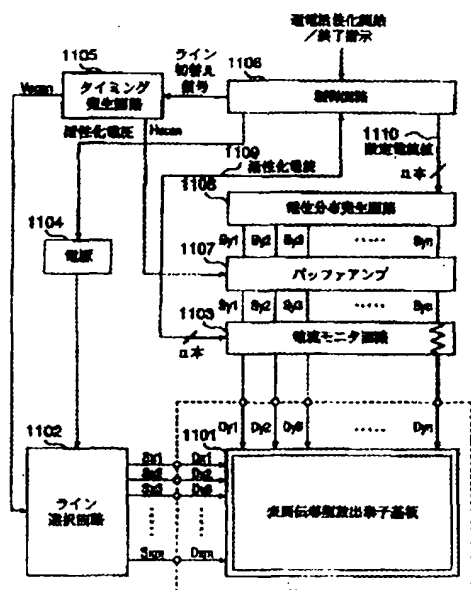
【図10】



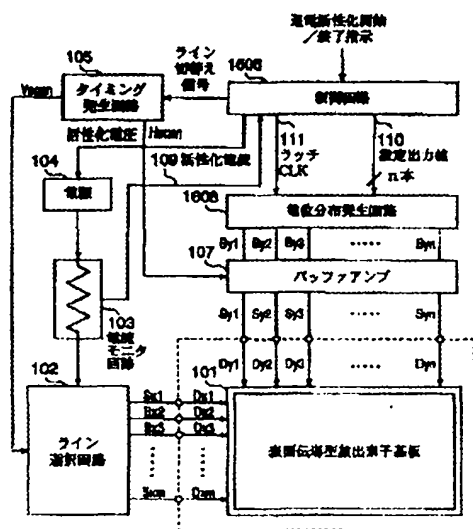
【図9】



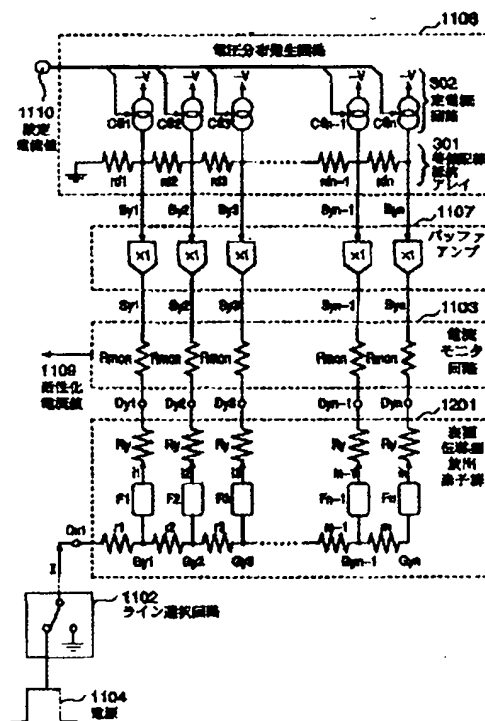
【図11】



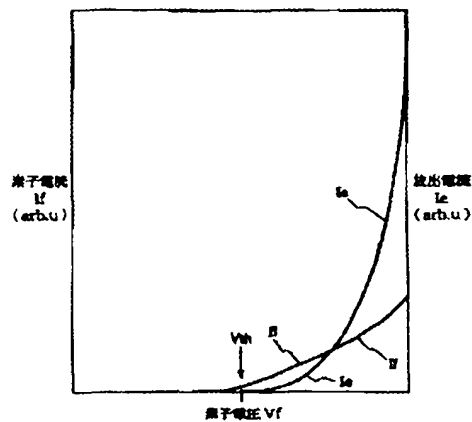
【図16】



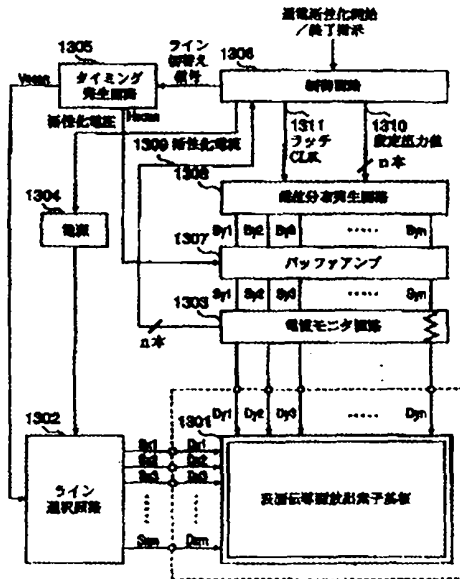
【図12】



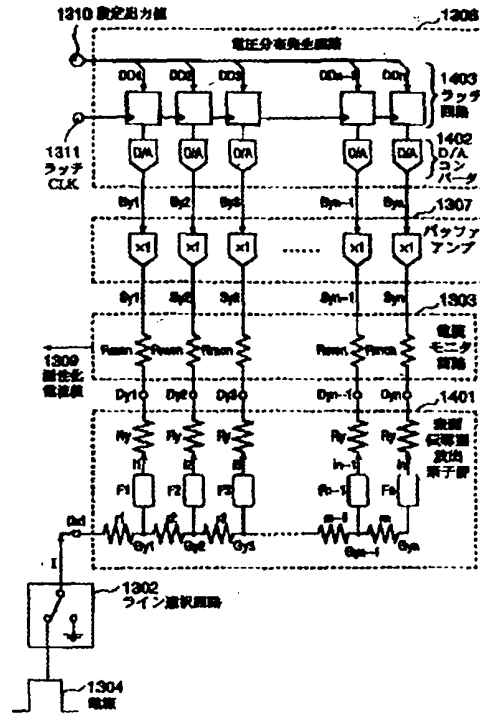
【図30】



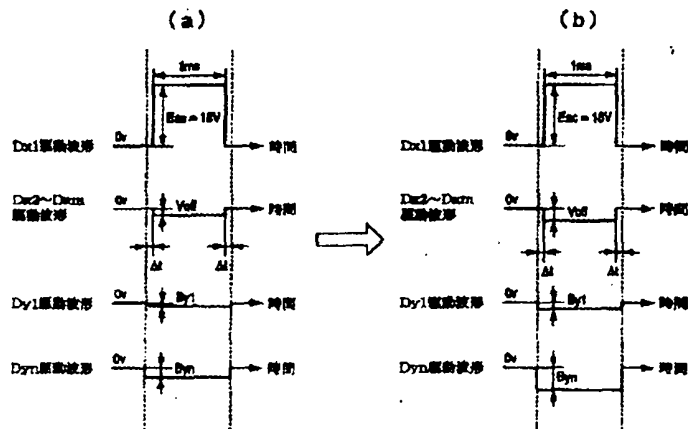
【図13】



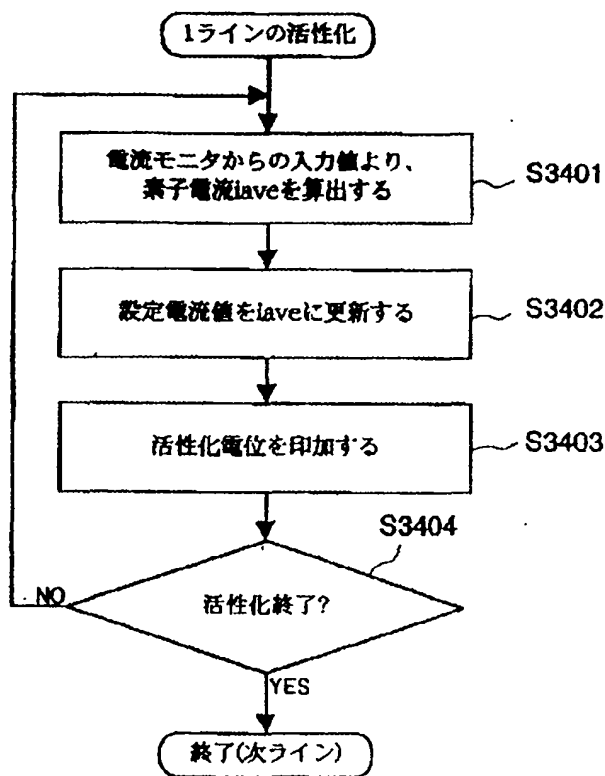
【図14】



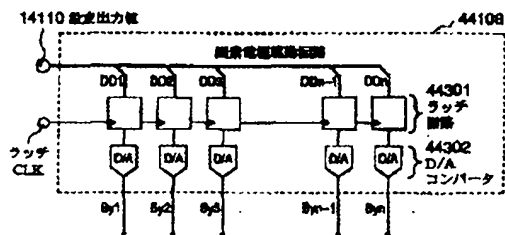
【図20】



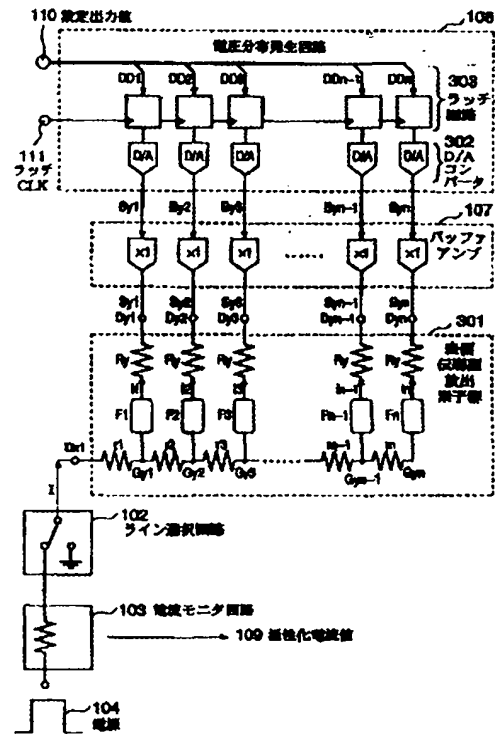
【図15】



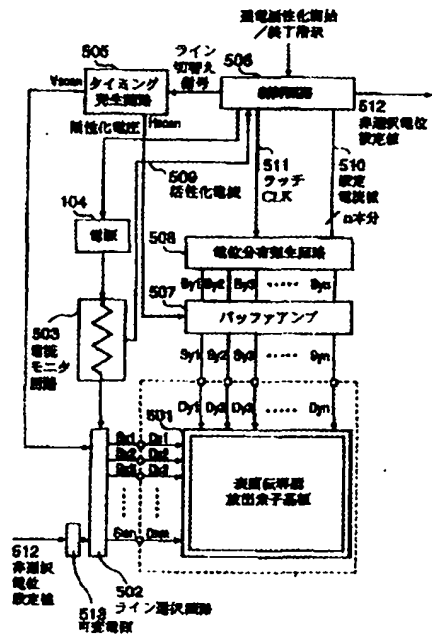
【図46】



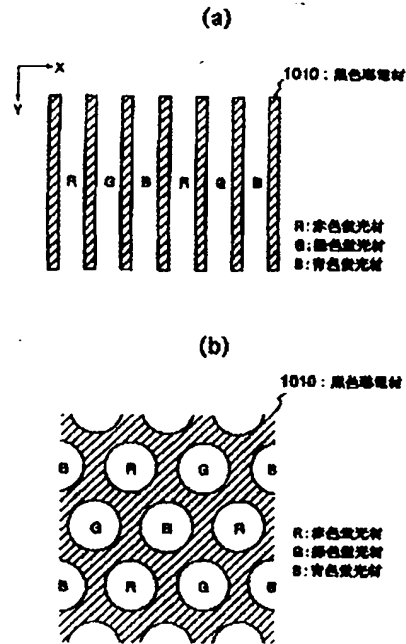
【図17】



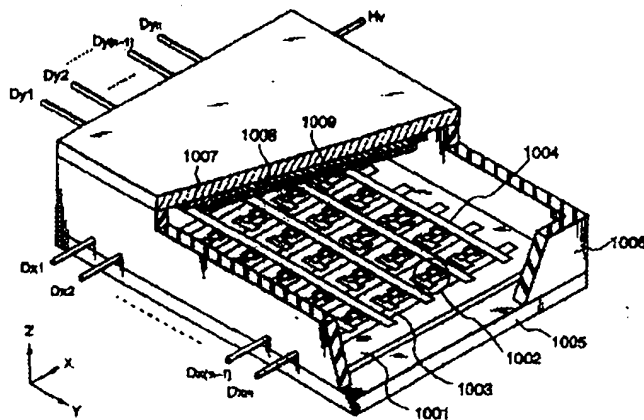
【図18】



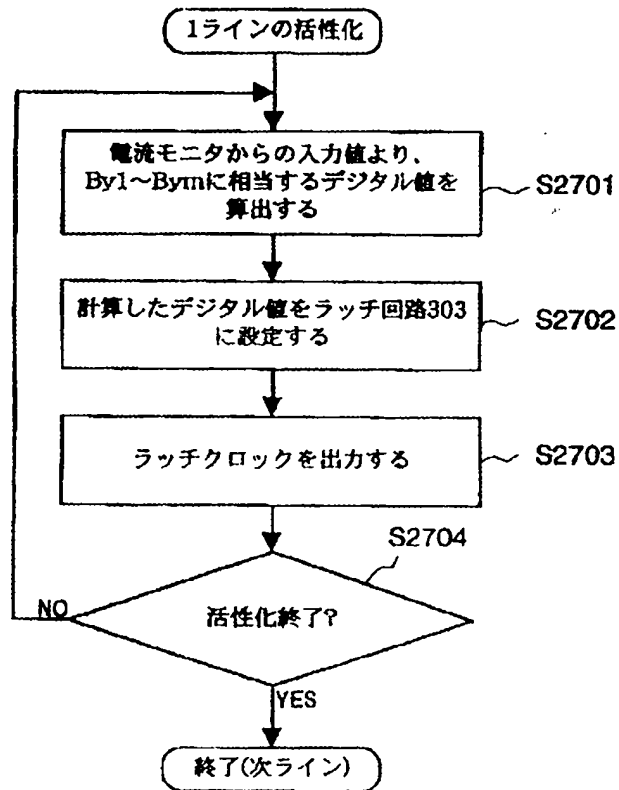
【図23】



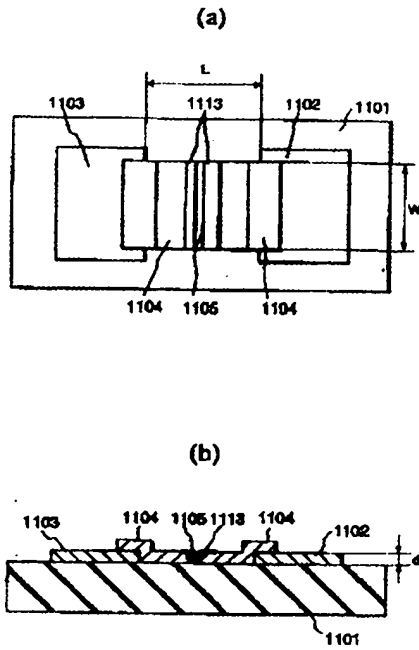
【図22】



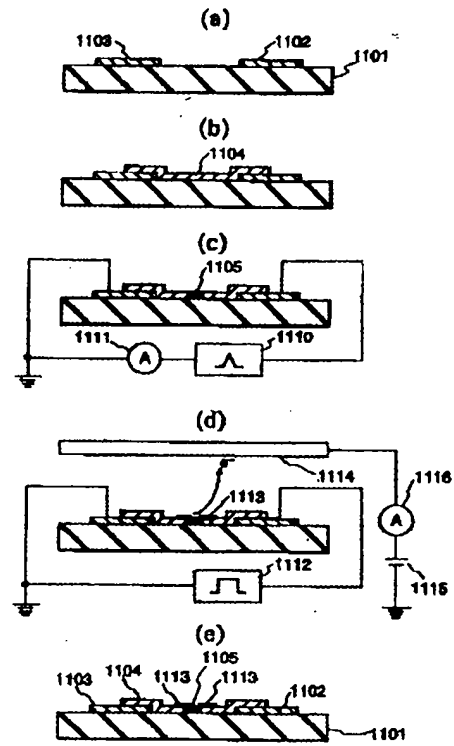
【図21】



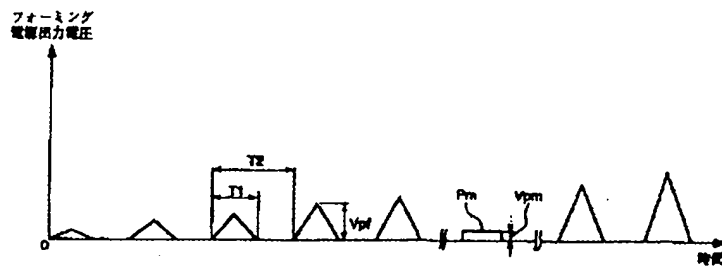
【図24】



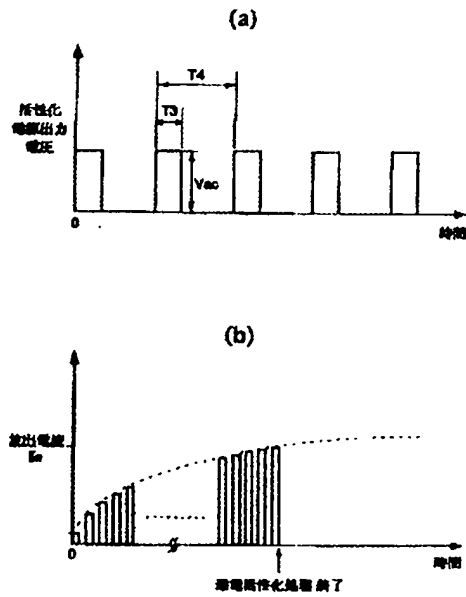
【図25】



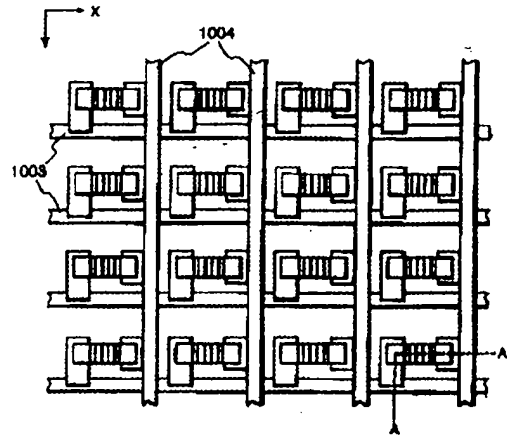
【図26】



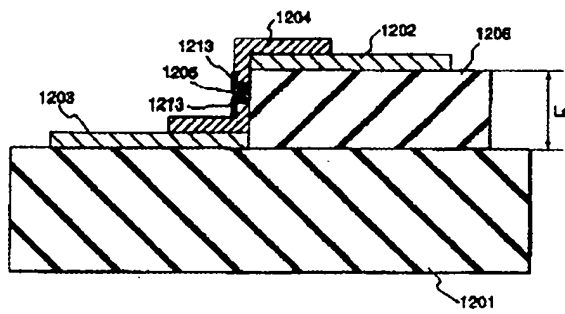
【図27】



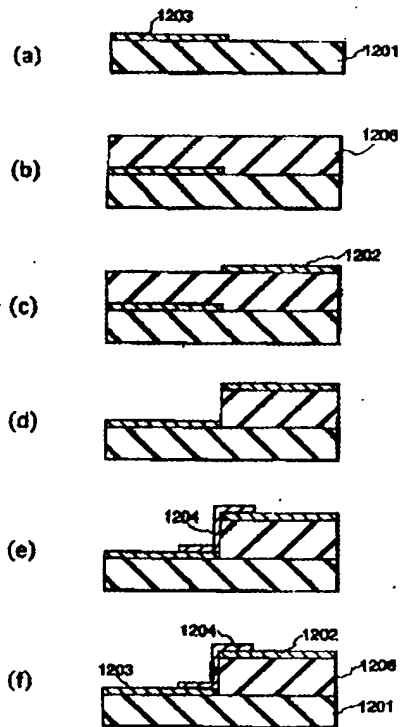
【図31】



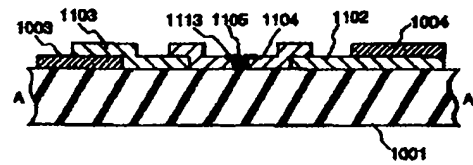
【図28】



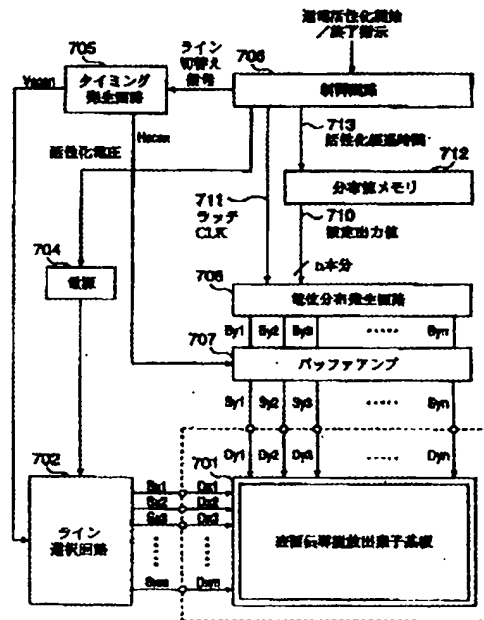
【図29】



【図32】



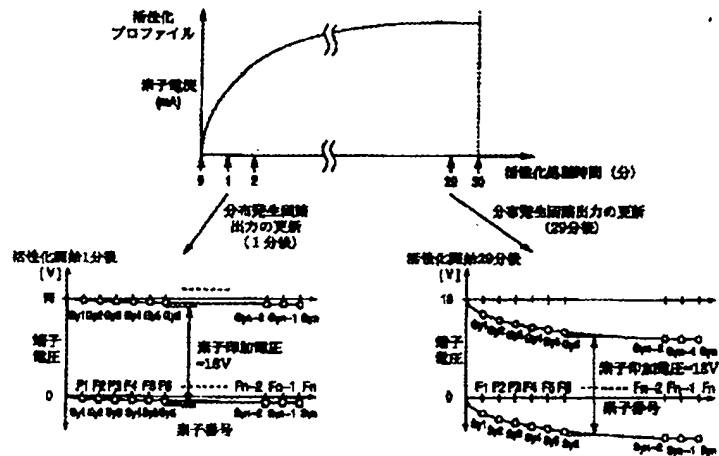
【図33】



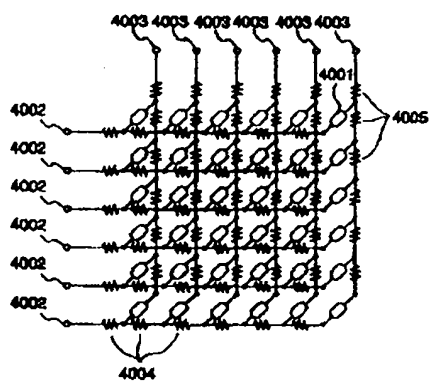
【図34】

アドレス	Dy1電子 補償電位 (V)	Dy2電子 補償電位 (V)	Dy3電子 補償電位 (V)				Dyn-1電子 補償電位 (V)	Dyn2電子 補償電位 (V)
t=0	0	0	0	0	0	0	0	0
t=1分	-0.1	-0.1	-0.1	.	.	.	-0.3	-0.3
.
t=20分	-0.5	-0.5	-0.5	.	.	.	-0.9	-0.9

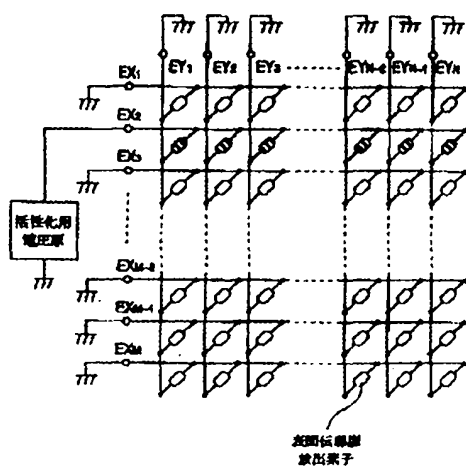
【図35】



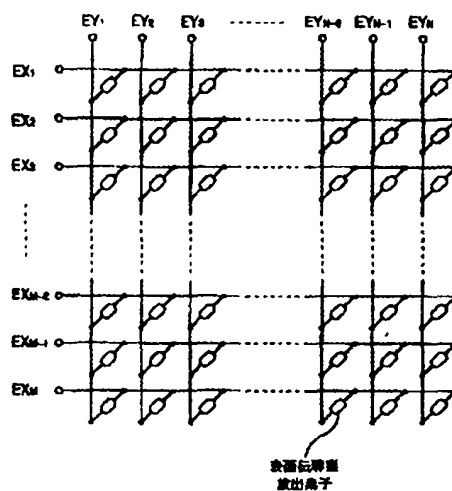
【図37】



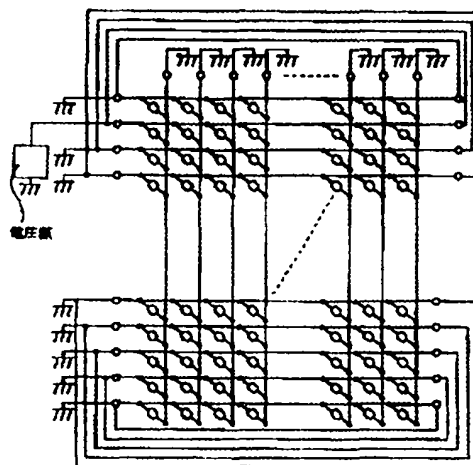
【図39】



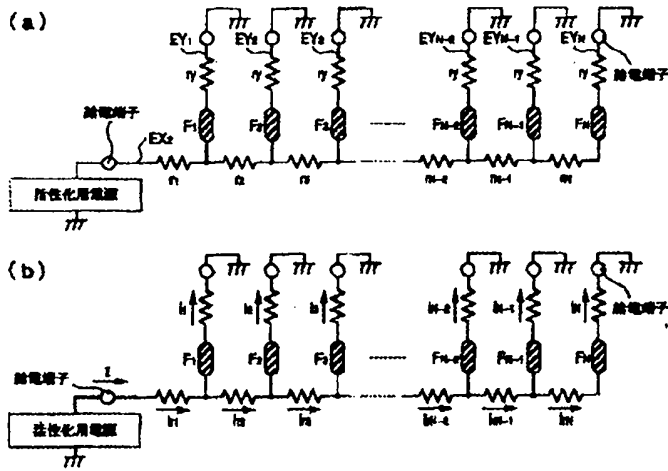
【図38】



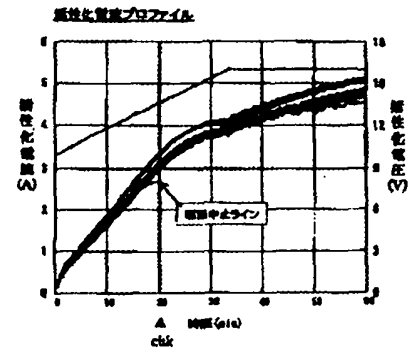
【図43A】



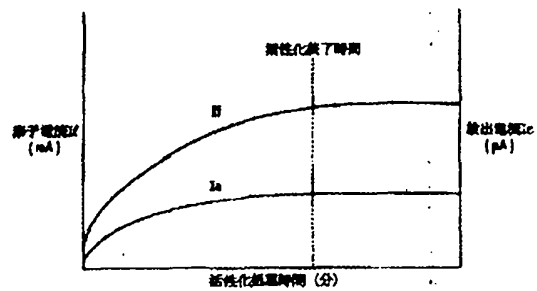
【図40】



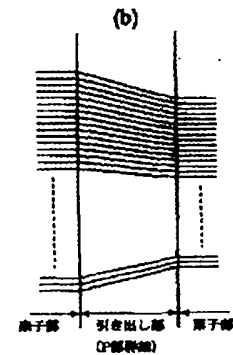
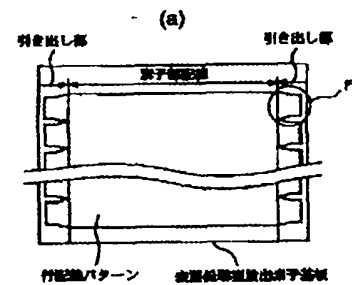
【図66】



【図41】

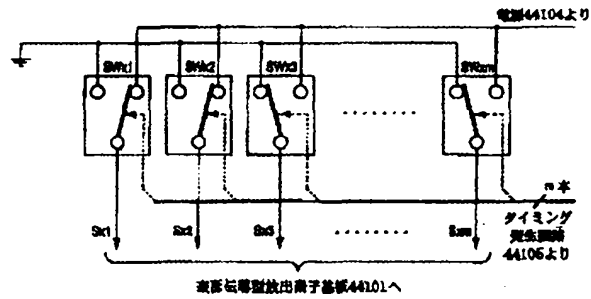


【図90】

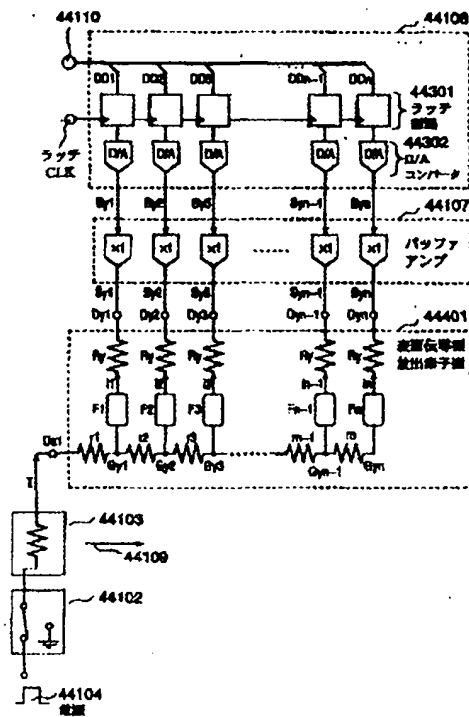


[illegible]

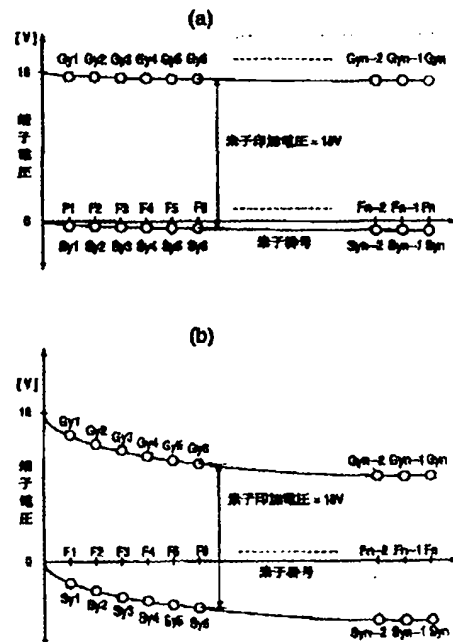
【図45】



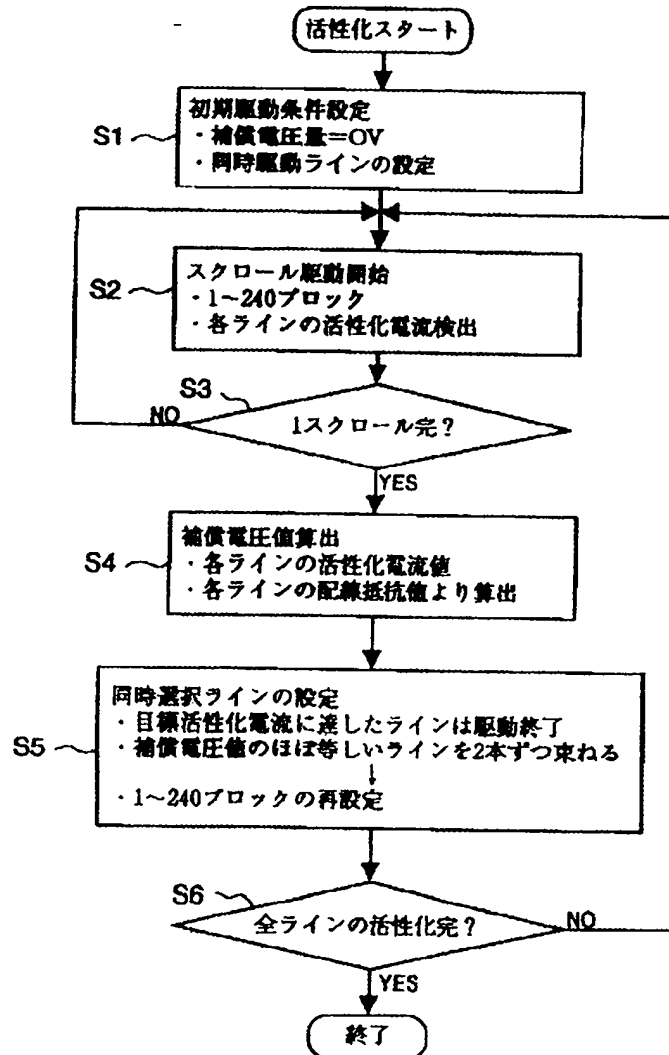
【図47】



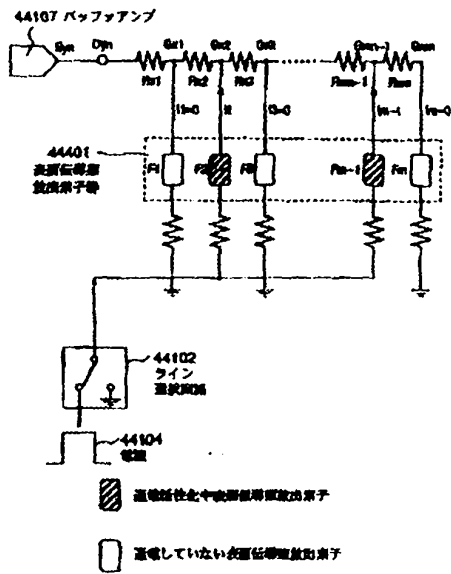
【図48】



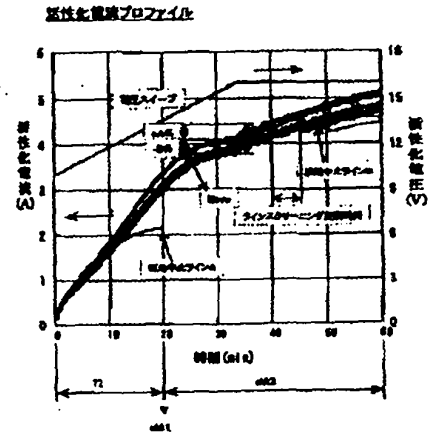
【図49】



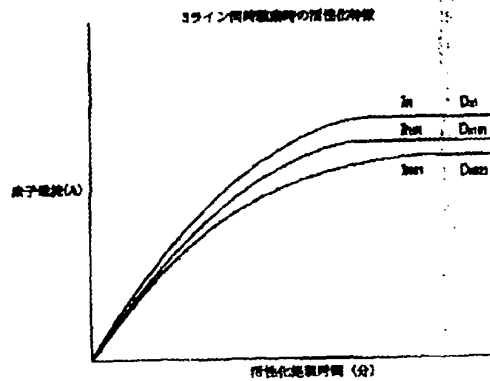
【図53】



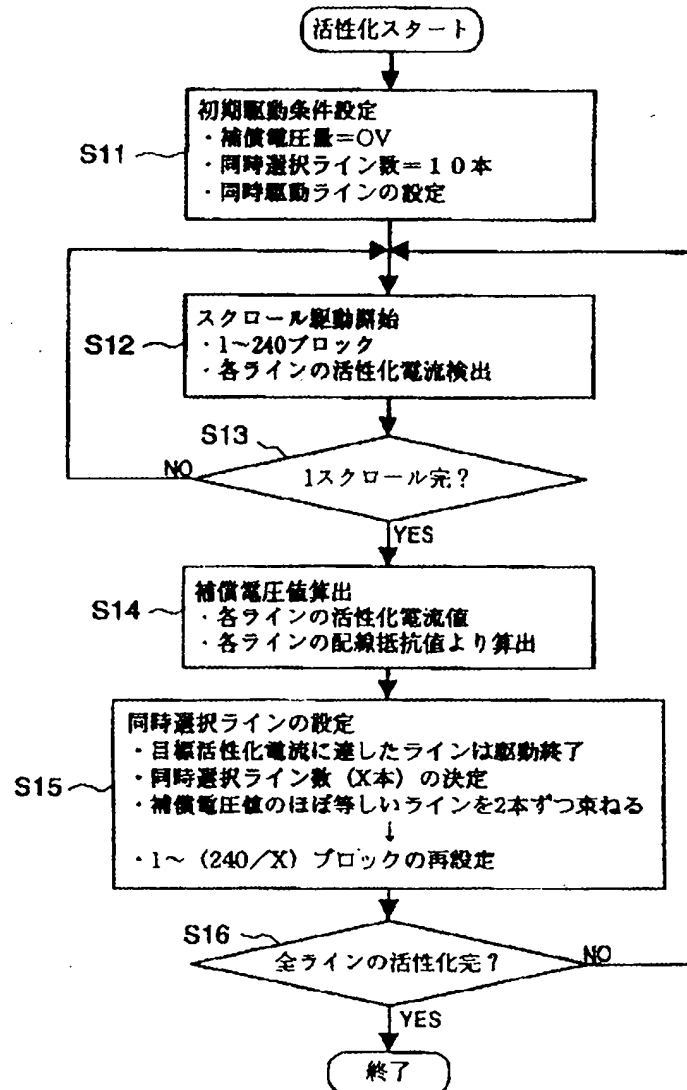
【図62】



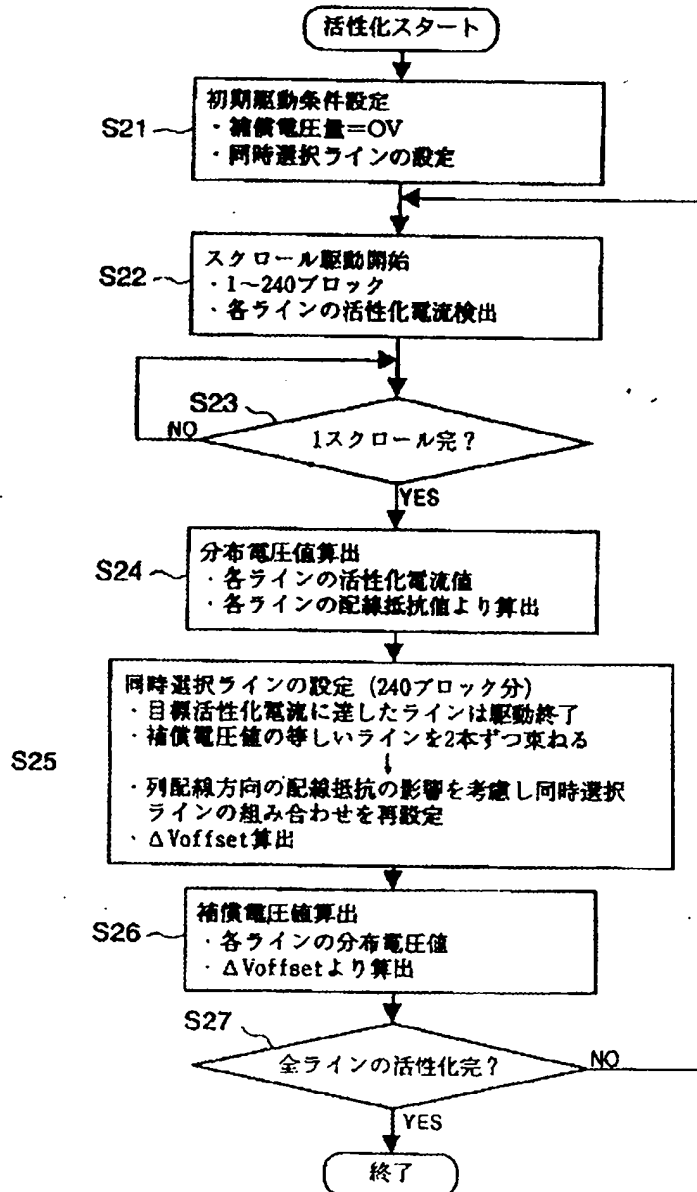
【図56】



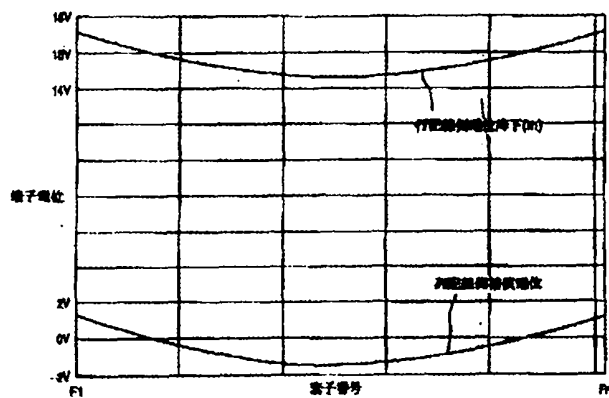
【図51】



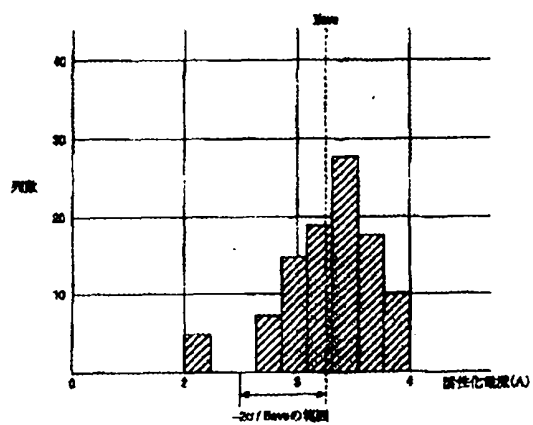
【図54】



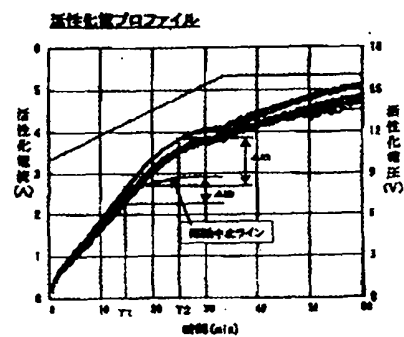
【図57】



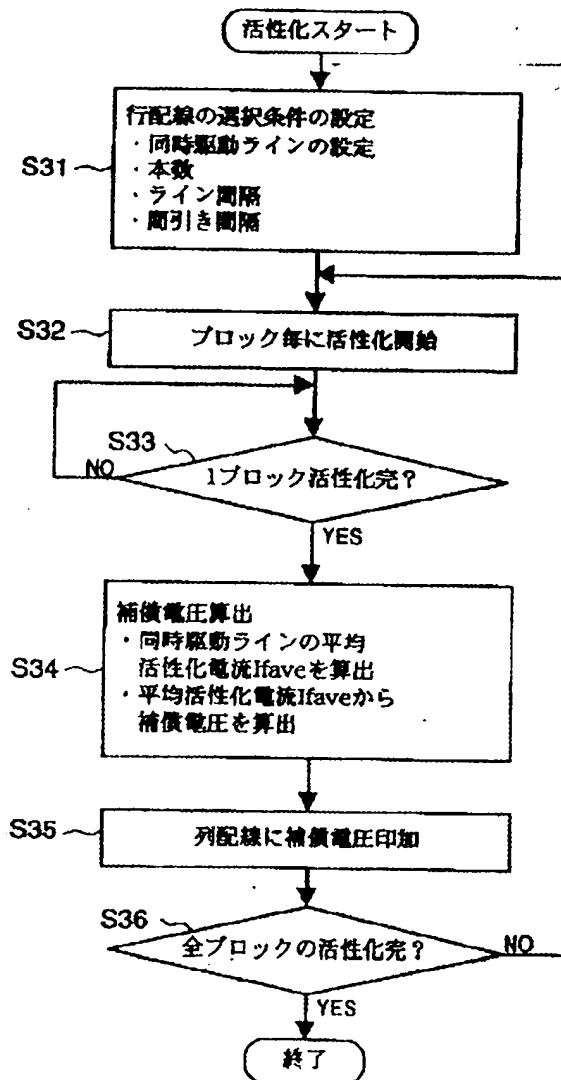
【図63】



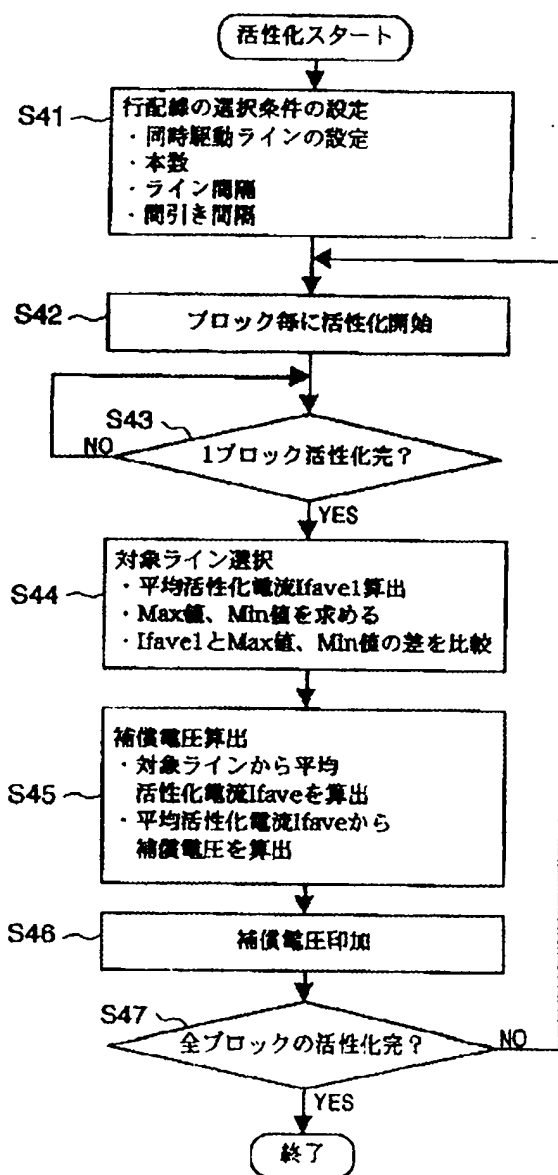
【図68】



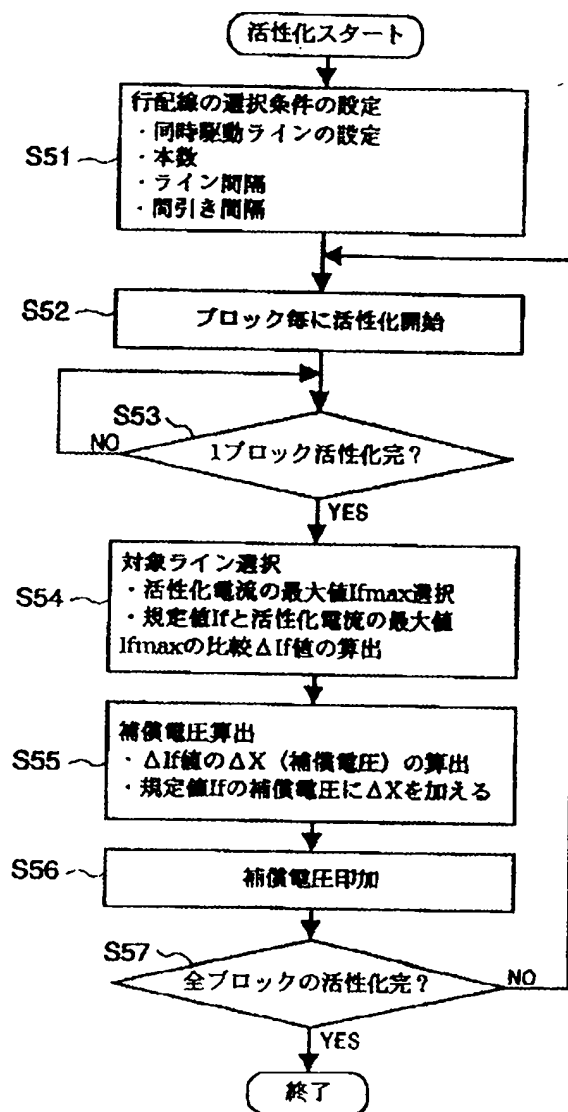
【図58】



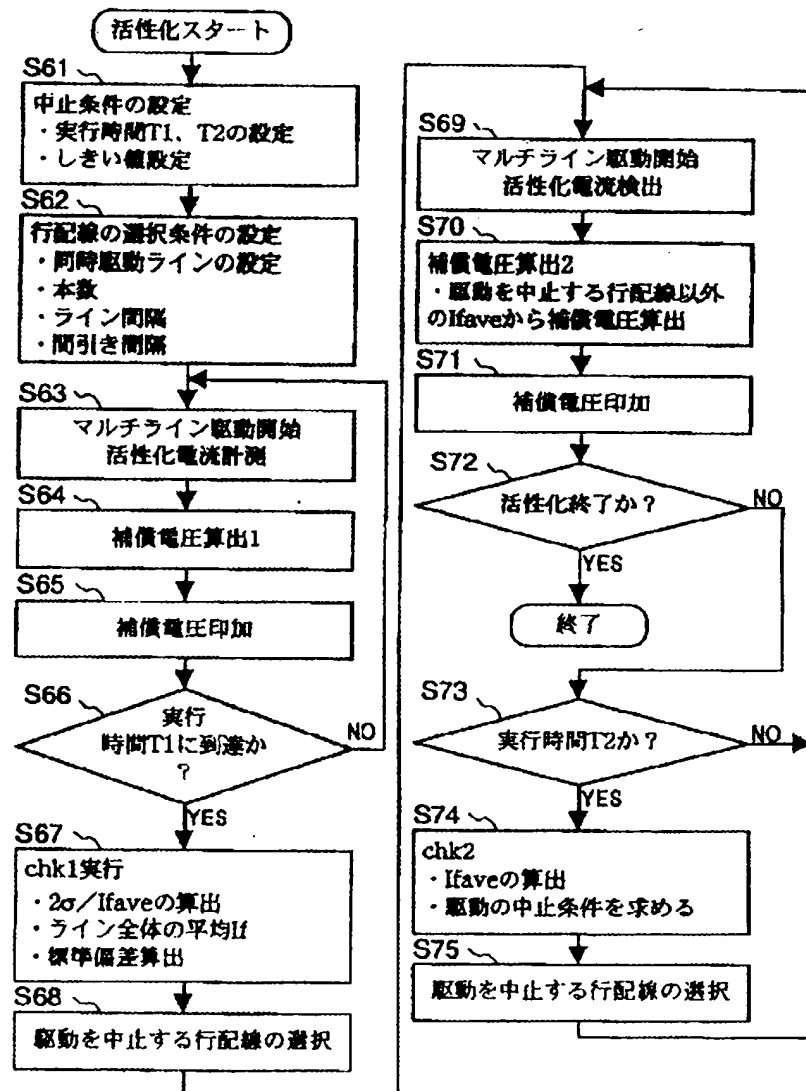
【図59】



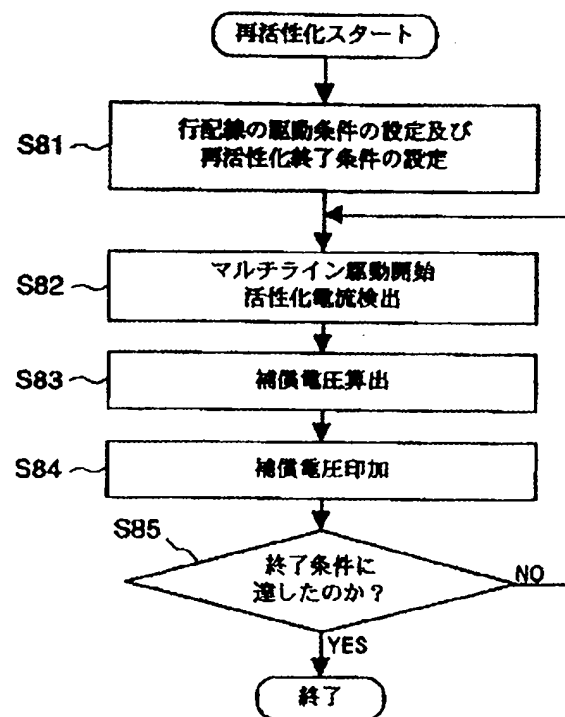
【図60】



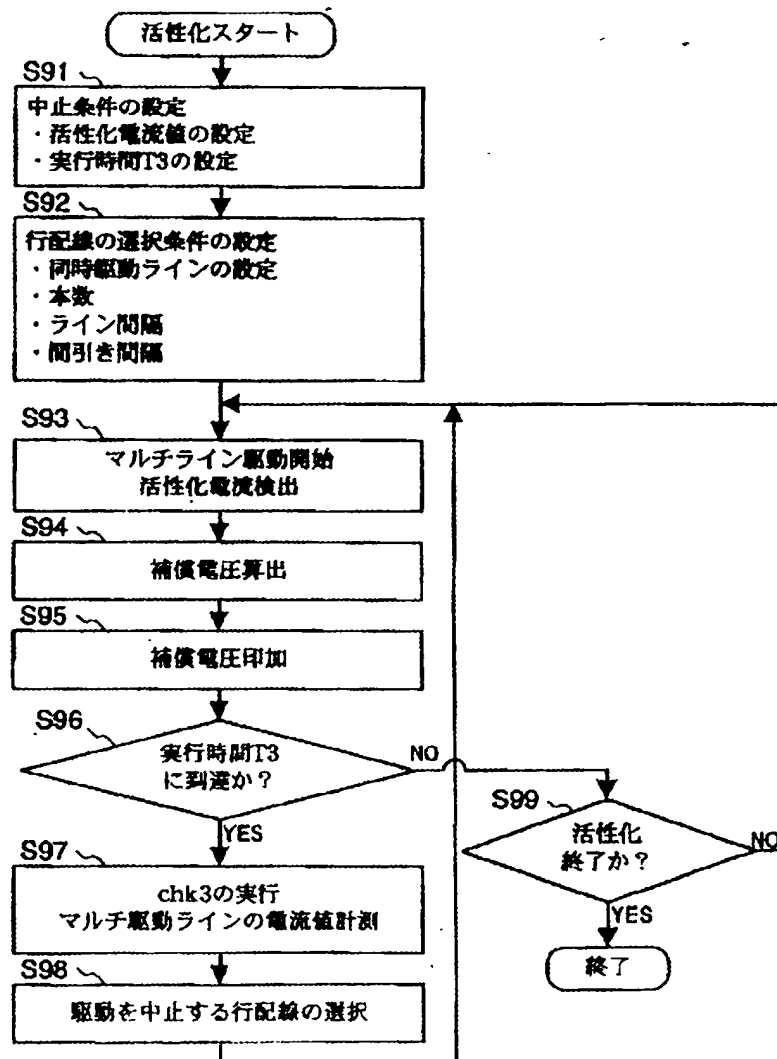
【図64】



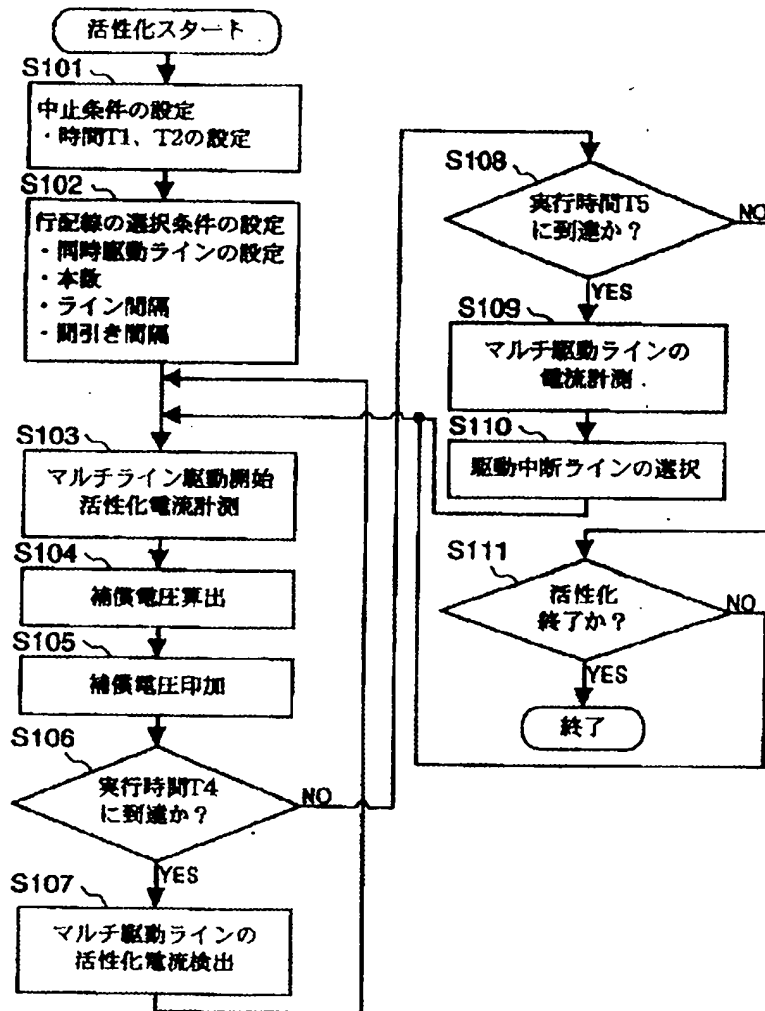
【図65】



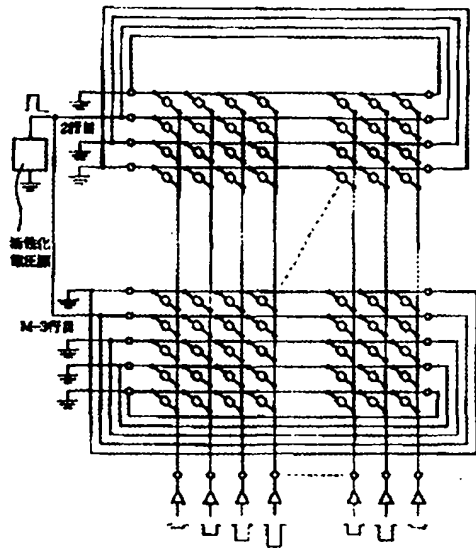
【図67】



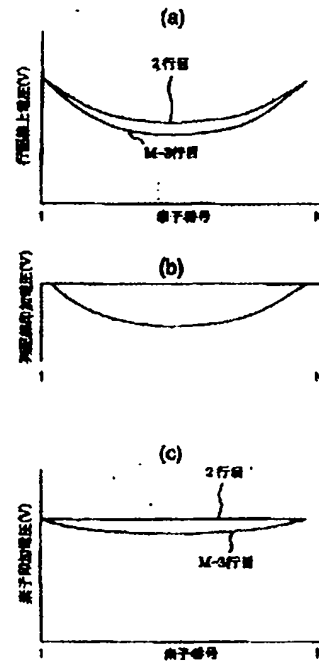
【図69】



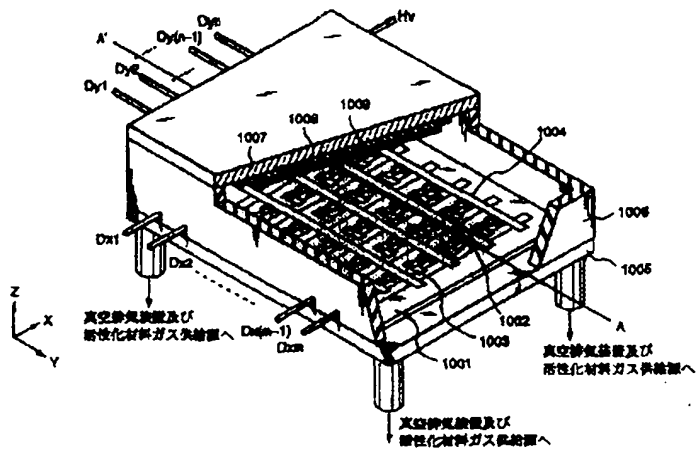
【図70】



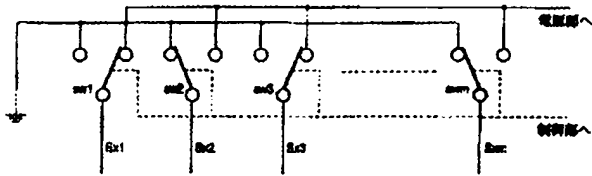
【図73】



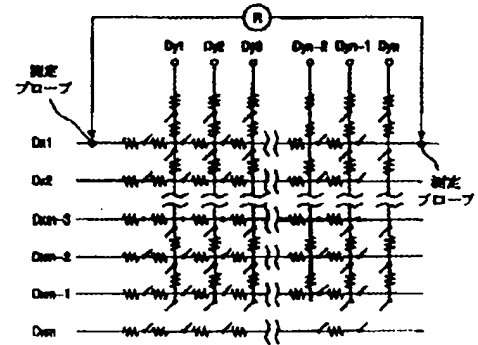
【図71】



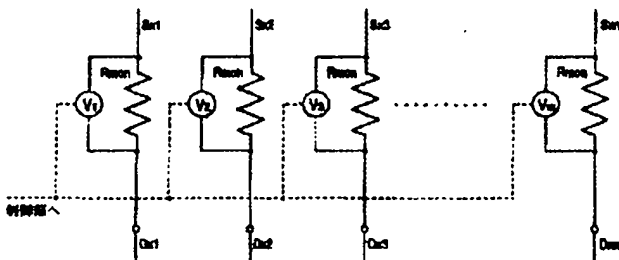
【図76】



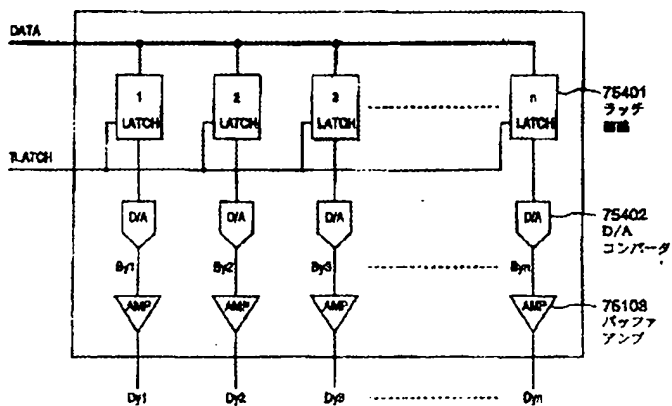
【図79】



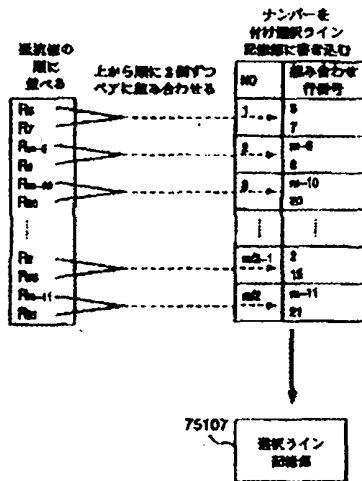
【図77】



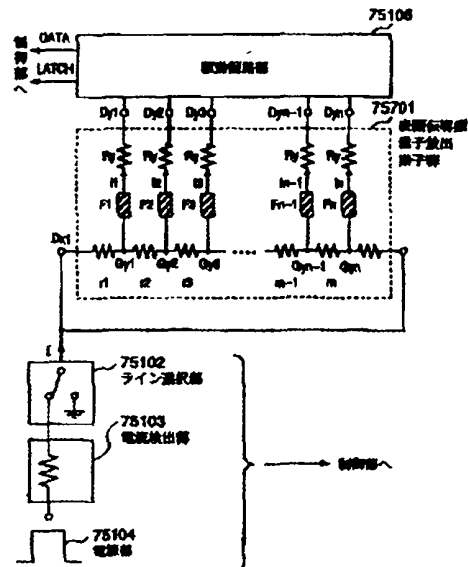
【図78】



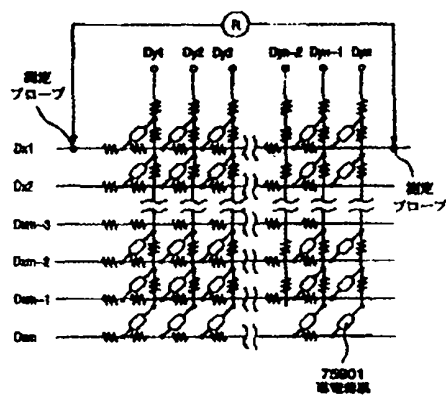
【図80】



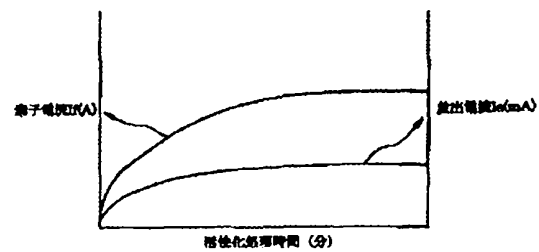
【図81】



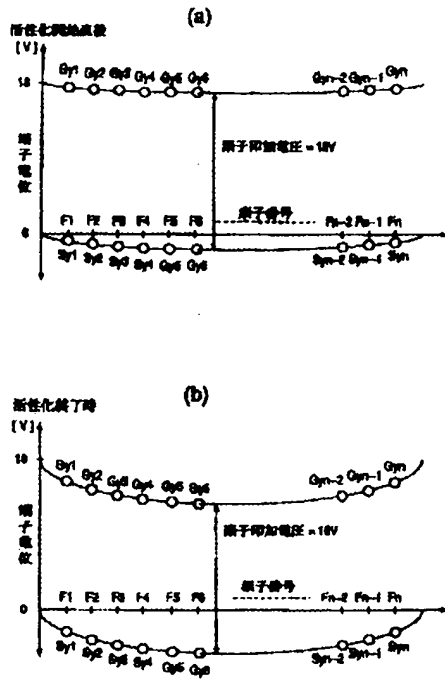
【図83】



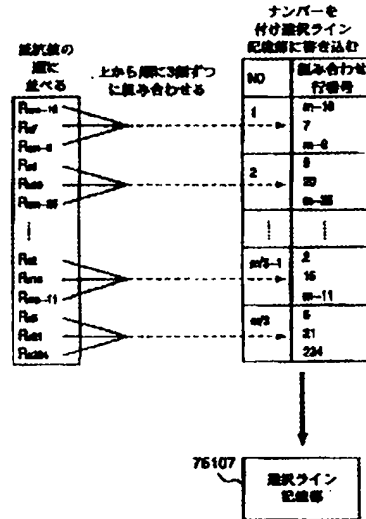
【図88】



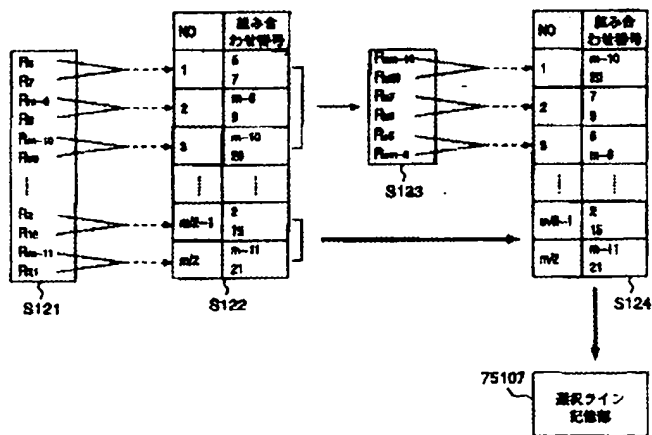
【図82】



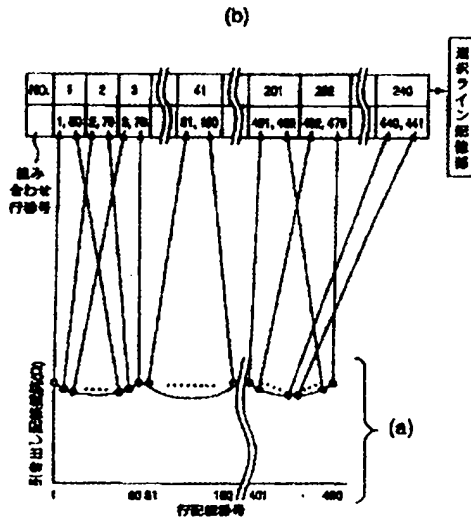
【図84】



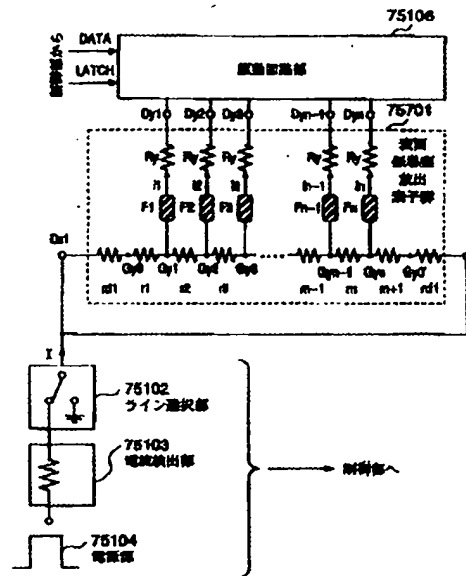
【図85】



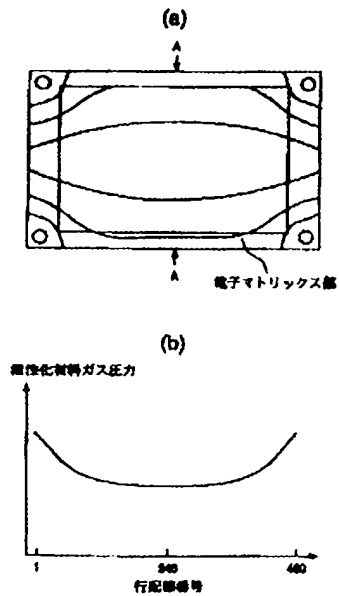
【図91】



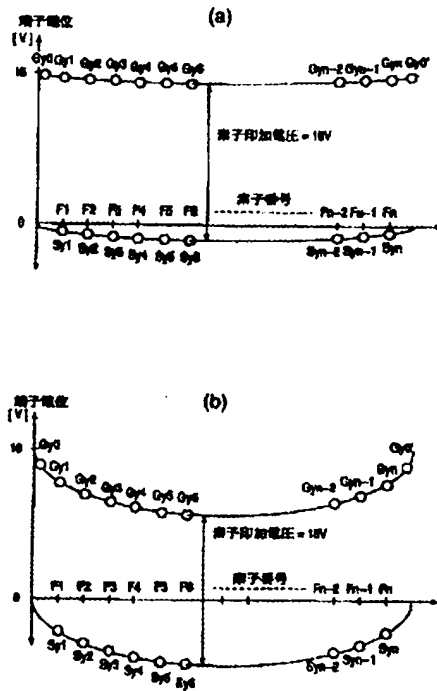
【図92】



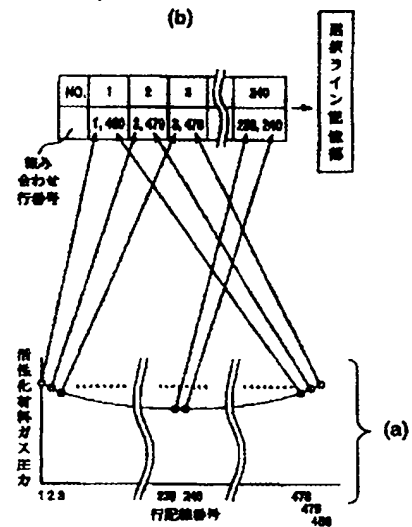
【図94】



【図93】



【図95】



フロントページの続き

(31)優先権主張番号 特願平11-51652

(32)優先日 平成11年2月26日(1999. 2. 26)

(33)優先権主張国 日本(JP)

(56)参考文献 特開 平9-161664(JP, A)

特開 平8-248920(JP, A)

特開 平9-134666(JP, A)

(58)調査した分野(Int.Cl.7, DB名)

H01J 9/02